

# Lógica Programable: Dispositivos



Sergio Noriega 2016

# EVOLUCIÓN DE CIRCUITOS LÓGICOS PROGRAMABLES

**PAL** (PROGRAMMABLE ARRAY LOGIC)

Primera PAL creada en 1973 por M. Memories

BASADA EN PAL



**EPLD** (Erasable Programmable Logic Device)

BASADA EN PAL



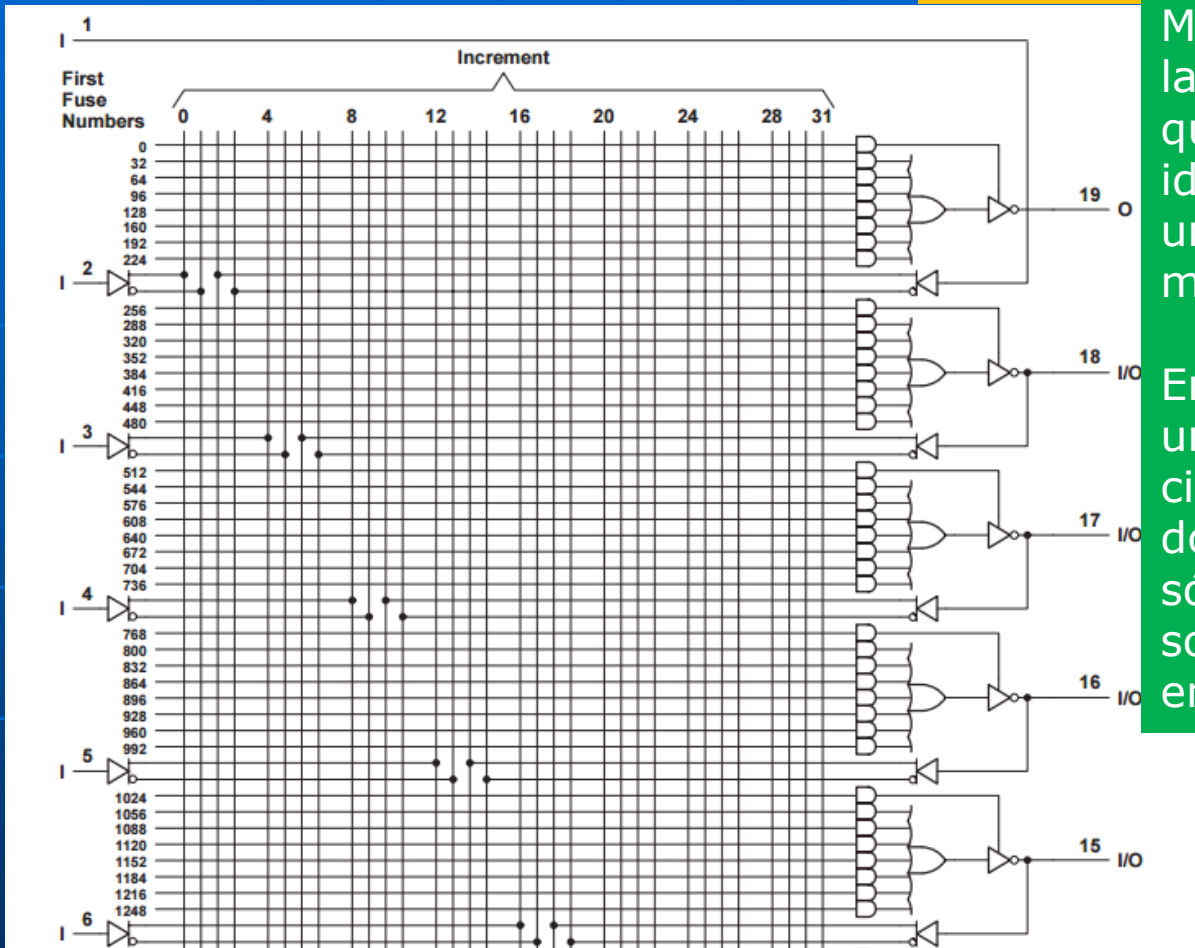
**FPGA** (Field Programmable Gate Array)

Primera FPGA creada en 1985 por Xilinx

BASADA EN MUX

# PAL (PROGRAMMABLE ARRAY LOGIC)

PAL16L8



En la década del 70 Monolithic Memories lanzó un integrado que tenía varios bloques idénticos formados por una matriz AND programable seguida por una OR.

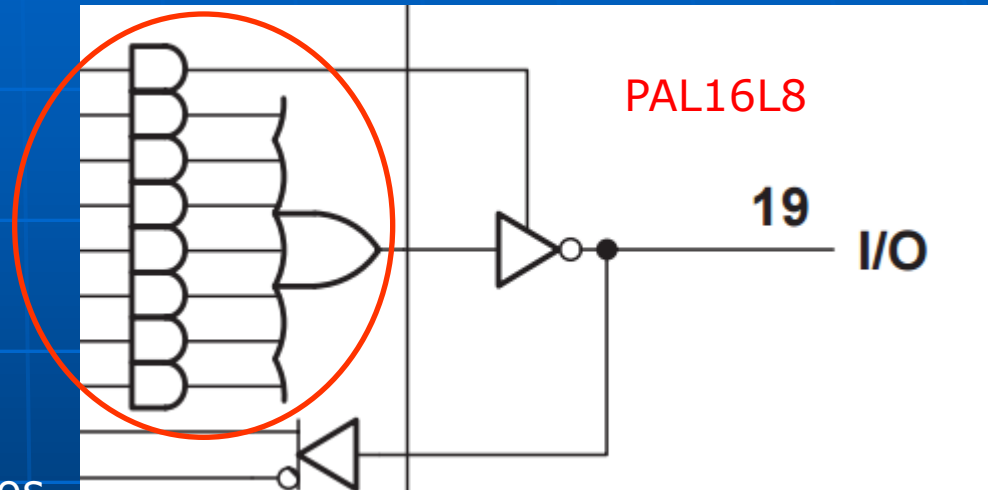
En el ejemplo se muestra una vista parcial del circuito de una PAL16L8 donde hay pines que son sólo entradas y otros que son configurables como entradas ó salidas.

## PAL (PROGRAMMABLE ARRAY LOGIC)

La filosofía de las PAL que siguieron también en las EPLD es la generar funciones en base de una función OR de varias funciones AND.

A cada AND se conectan todas las entradas con sus respectivas negaciones.

En este ejemplo de la PAL16L8 hay 8 entradas posibles con sus negaciones que entran a 8 AND de 16 entradas cada una. Cada AND se conecta a la OR.

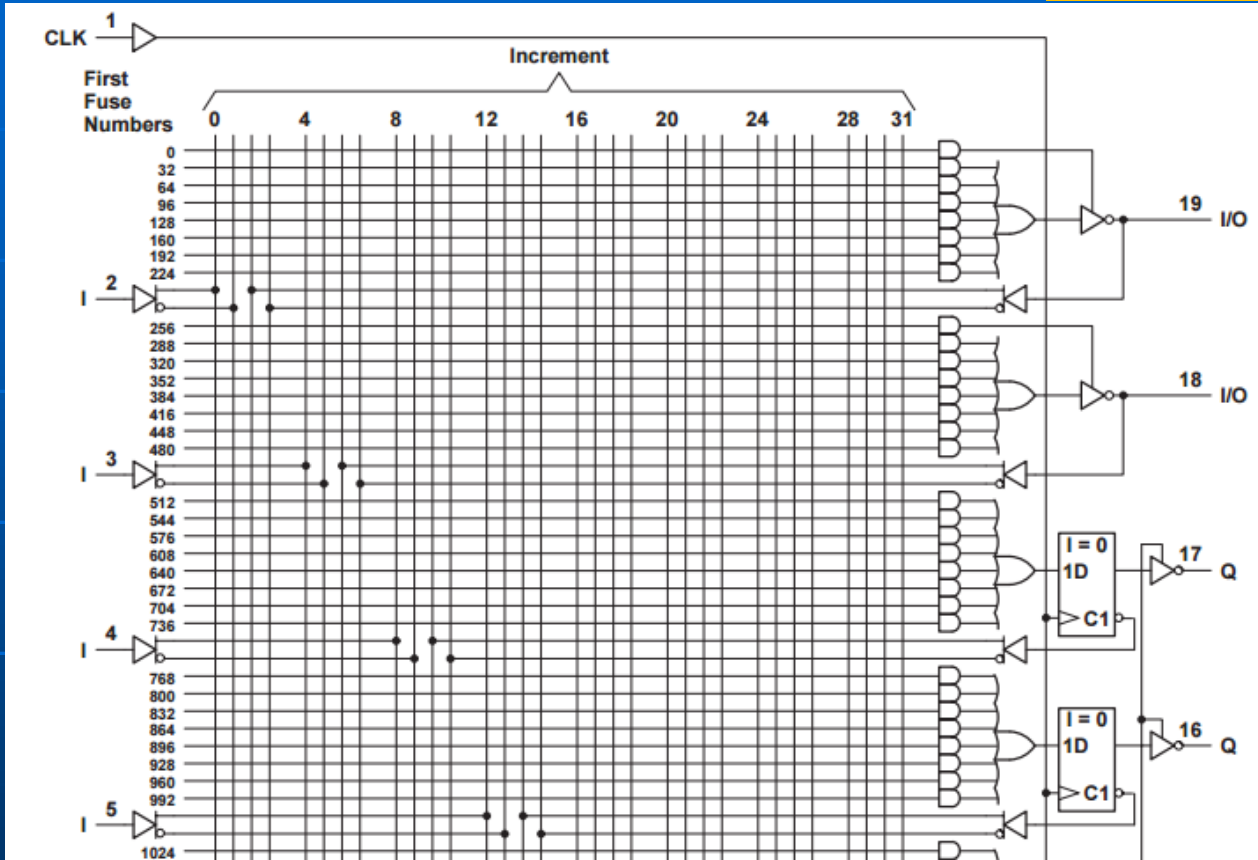


Si con este esquema no se cubren todos los minterminos de 8 variables se pueden generar muchas funciones diferentes, debiendo en algunos casos usar mas de un bloque lógico.

Esta filosofía de la AND-OR con AND programable se impuso sobre la del esquema de una ROM (AND-OR con OR programable dado que estadísticamente se comprobó que en general si bien la ROM podía generar todos los minterminos necesarios, en general se subutiliza toda la capacidad de ese tipo de circuito.

# PAL (PROGRAMMABLE ARRAY LOGIC)

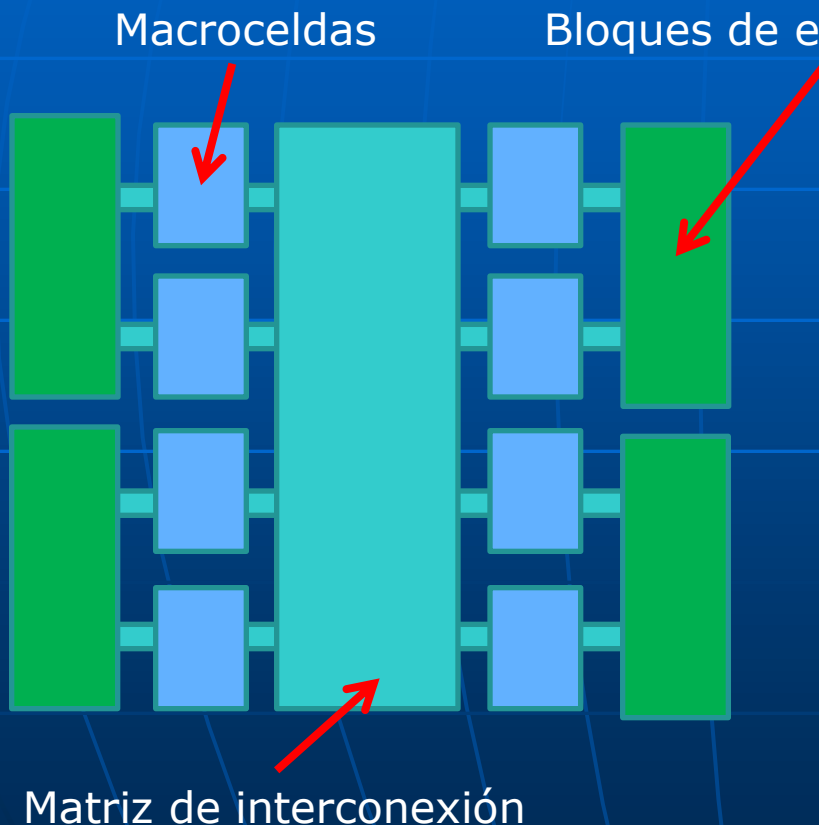
## PAL16R8



En este ejemplo se muestra una vista parcial del circuito de una PAL16R8 donde a diferencia de la PAL16L8, hay bloques que tienen salida registrada (hay un FF tipo D antes del pin de salida). Aquí también tenemos pines que son sólo entradas y otros que son configurables como entradas ó salidas.

## EPLD (Erasable Programmable Logic Device)

Esta filosofía se basa en el empleo de bloques (denominados MACROCELDAS) que generan funciones de lógica combinatoria empleando la tecnología PAL (AND-OR con AND programable) pero con cambios sustanciales.



Cada macrocelda tiene capacidad para generar una función lógica de 4 ó 5 variables.

Generalmente tiene asociada un FF «D».

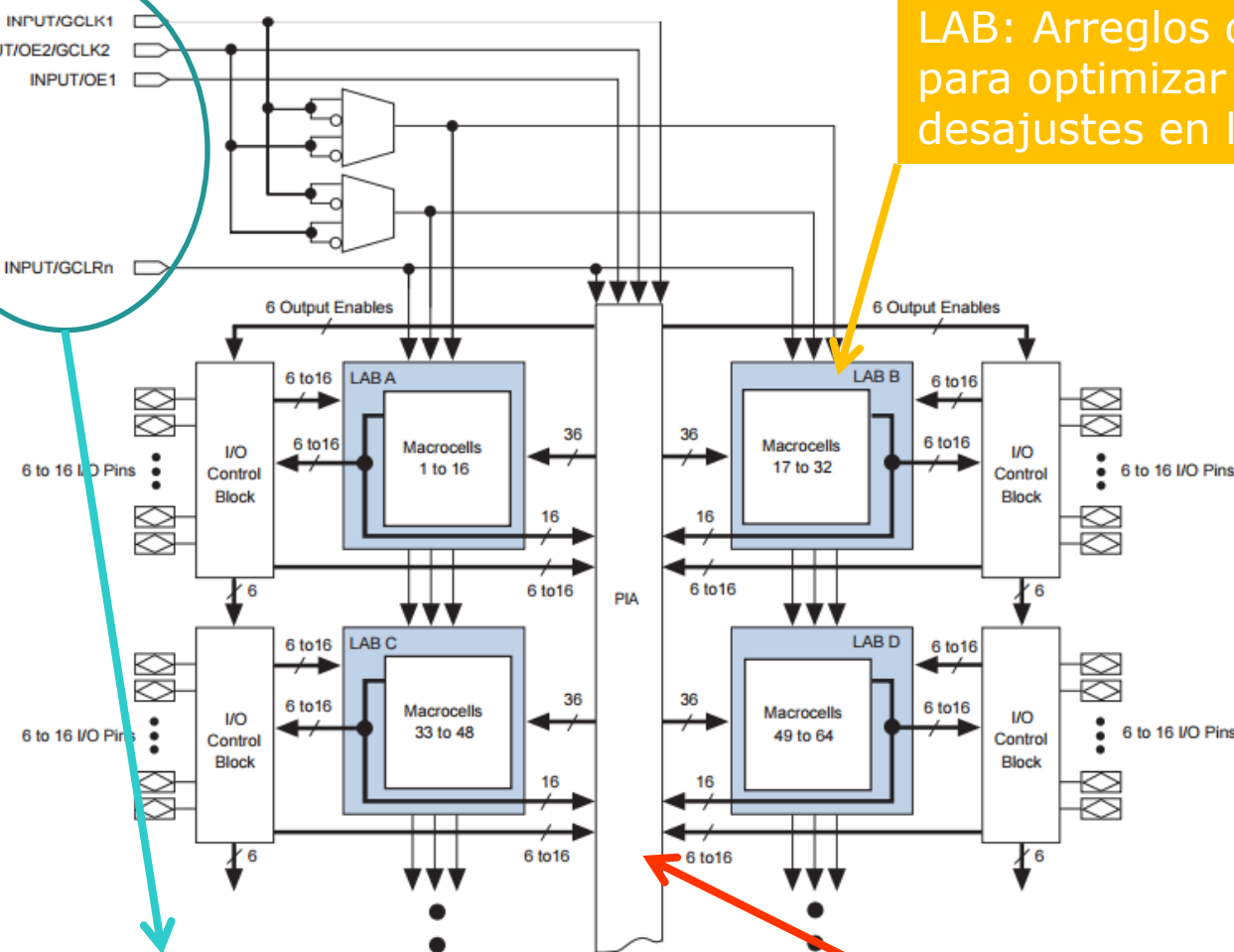
Emplea transistores EEPROM para la configuración por lo que no se pierde la información ante ausencia de tensión de alimentación.

Posee una matriz de interconexión única lo que limita el grado de conectividad entre macroceldas y entre éstas y los bloques de entrada-salida.

# EPLD MAX 7000 ALTERA

# DIAGRAMA EN BLOQUES

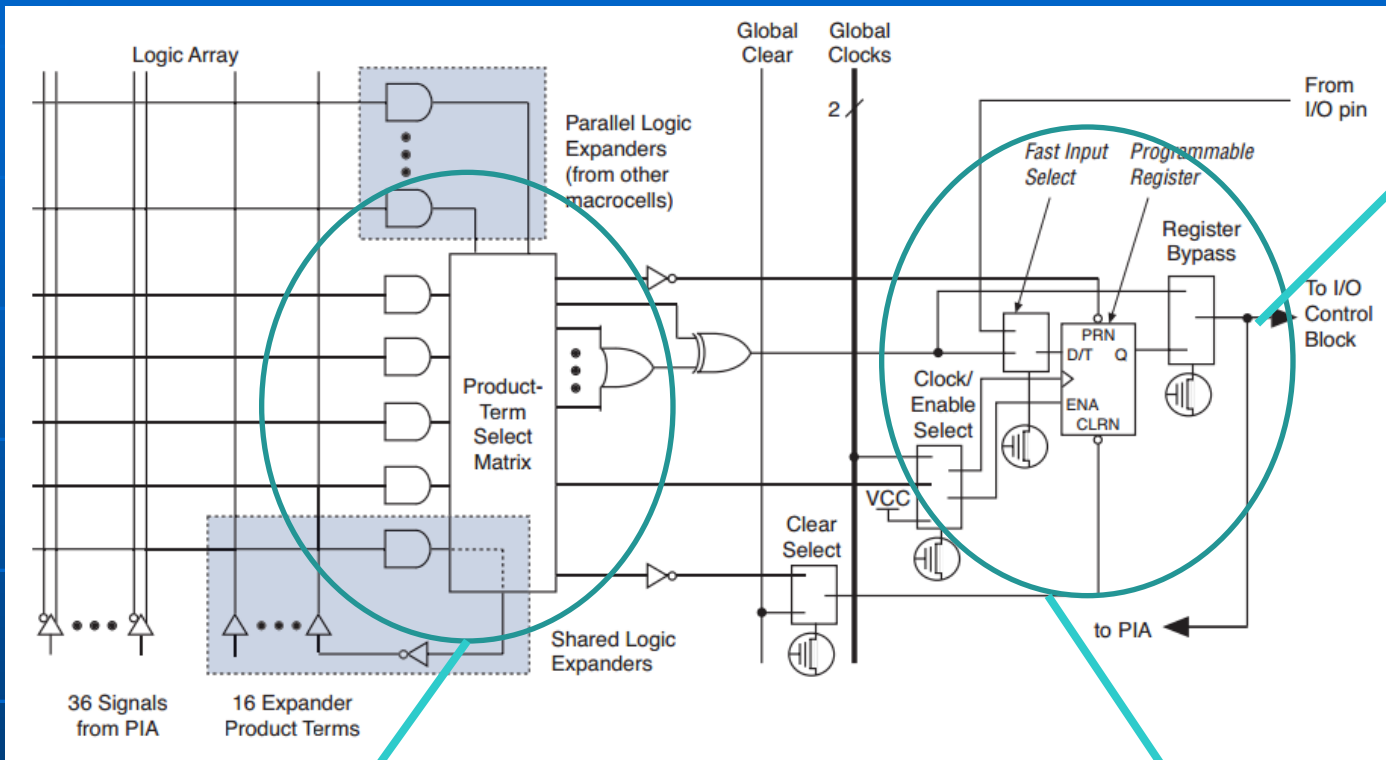
LAB: Arreglos de a 16 MACROCELDAS para optimizar velocidad de reloj y los desajustes en los tiempos de retardo.



Entradas dedicadas de reloj GCLK, reset GCLR y control de alta impedancia OE.

Matriz de interconexión

# EPLD MAX 7000 ALTERA



La salida de la macrocelda proviene de la PAL o del FF.

PAL: Una matriz AND programable y OR fija para síntesis de lógica combinatoria.

FF tipo D configurable.



## EPLD MAX 7000 ALTERA

Los bloques de Entrada-Salida permiten configurar cada pin como E, S o E/S. Aparte de la salida normal, se puede configurar como open-drain.

Para ciertas aplicaciones se puede modificar el slew-rate de la salida a fin de evitar oscilaciones en la forma de onda.

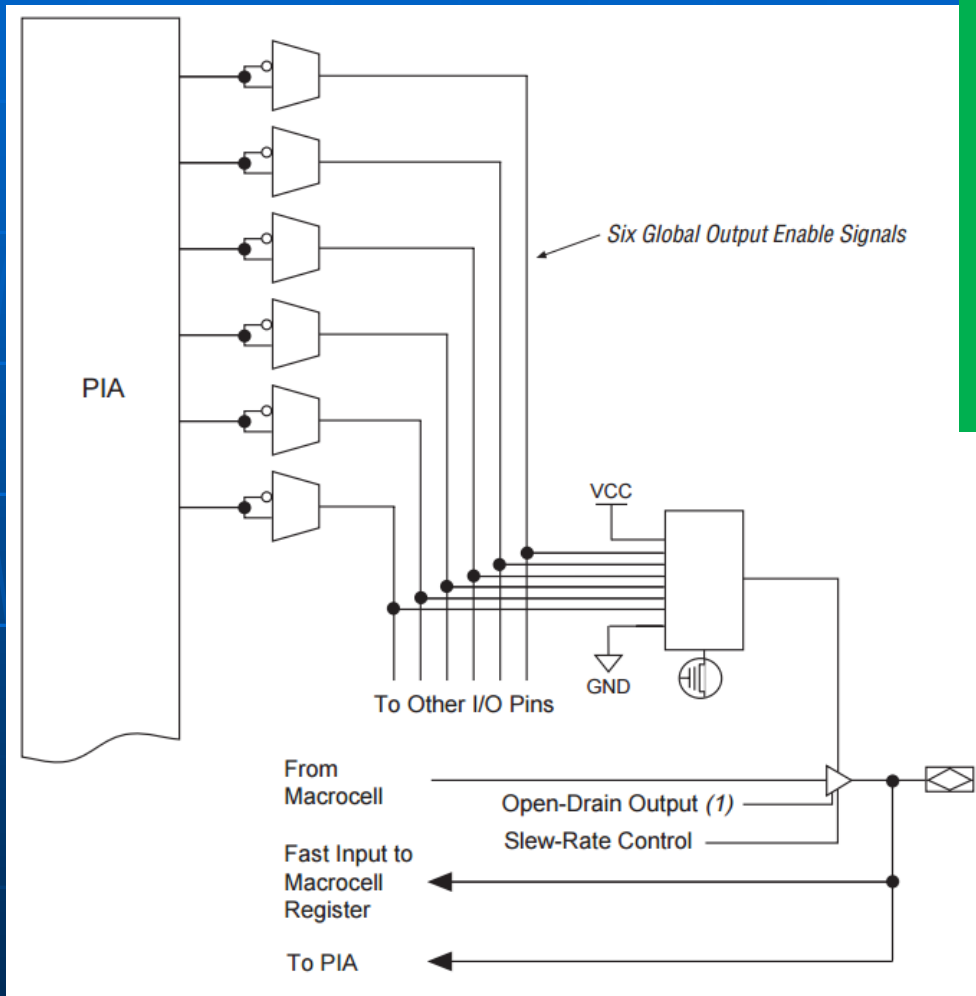
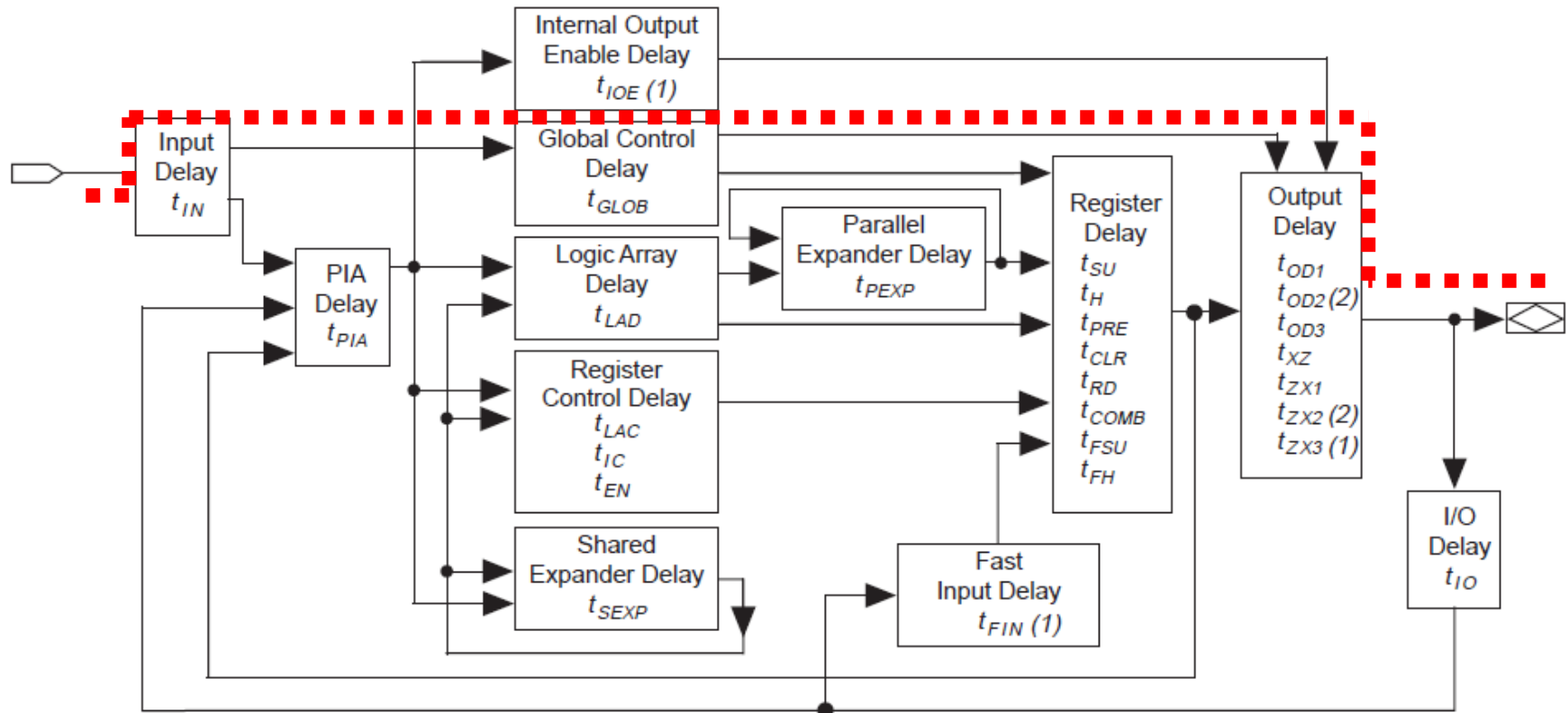
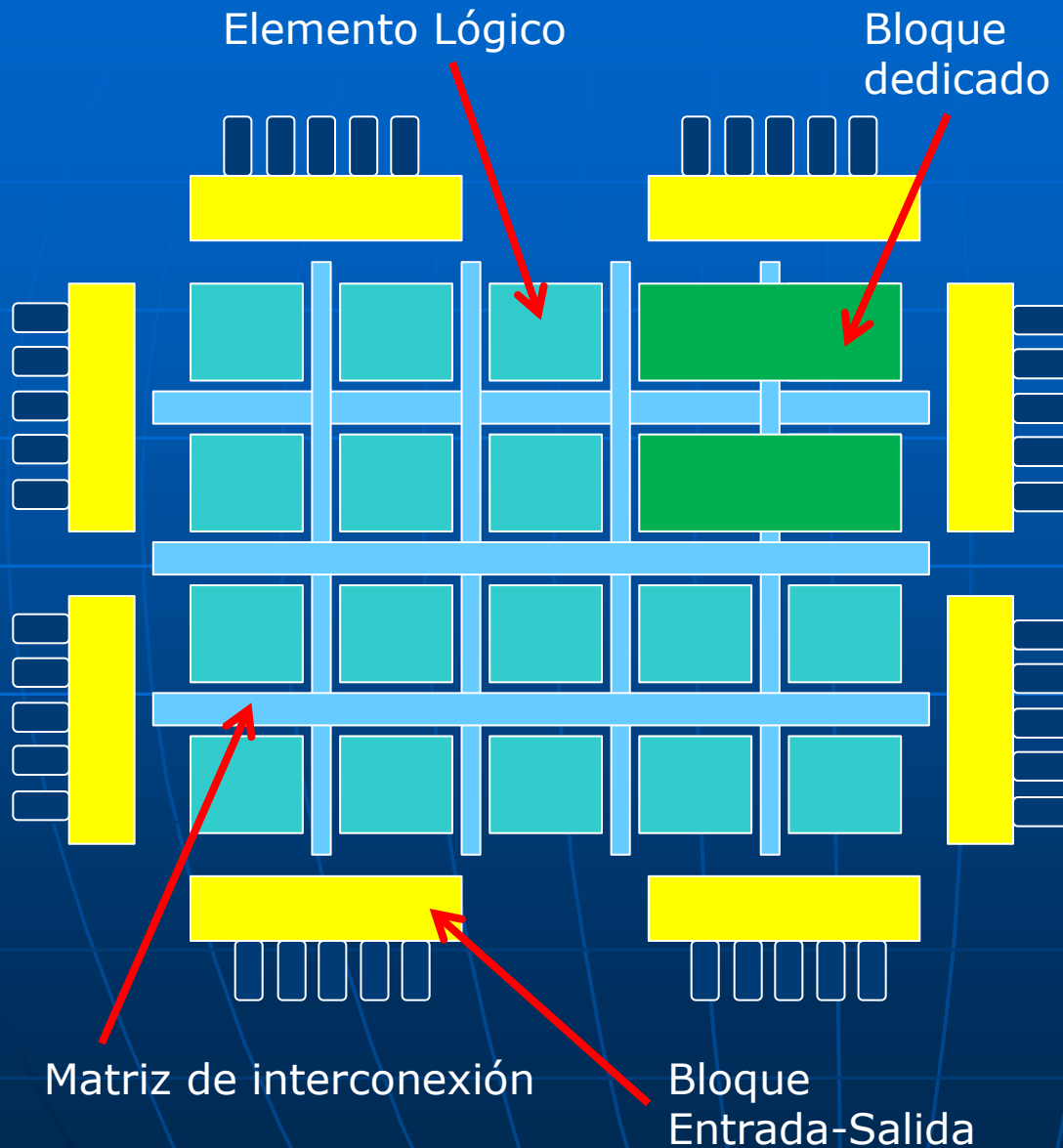


Figure 12. MAX 7000 Timing Model



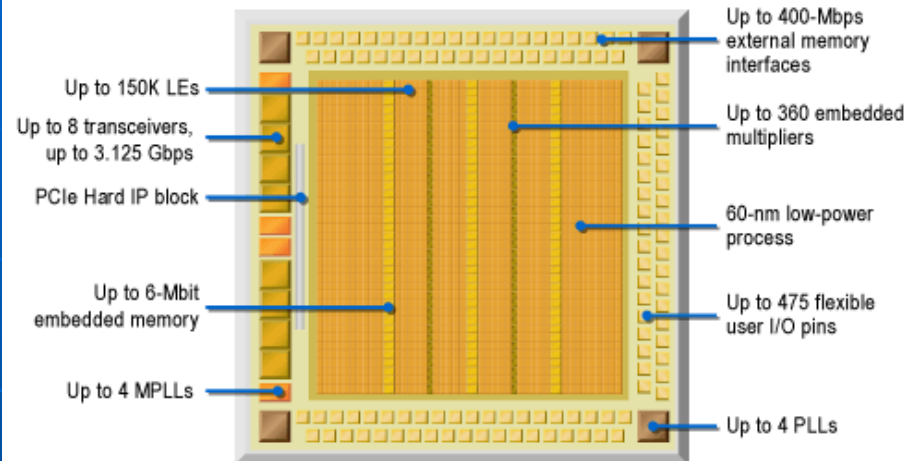
El parámetro de 'grado de velocidad' considera el mínimo retardo entre una entrada y una salida como se indica en 'rojo'.

## FPGA (Field Programmable Gate Array)



La última evolución de FPLD es la FPGA. Difiere respecto a la EPLD en una matriz de interconexión distribuída. Bloques lógicos basados en el uso de MUX denominados LE (Elemento Lógico). Bloques adicionales para funciones dedicadas (memoria, multiplicadores, PLL, transceivers, etc.) Generalmente se configura con SRAM y requiere de una memoria externa de booteo. Al usar SRAM y no FLASH dispone de mayor densidad de integración que la EPLD.

## Cyclone IV FPGA Architecture



La línea Cyclone IV es una FPGA de bajo costo.

Se divide en modelo E (standard) y GX (dedicada a transmisión serie de alta velocidad).

En general dispone de hasta:

150 K Elementos Lógicos (LE)

6 Mbit de memoria dedicada SRAM.

4 PLL (Lazo de Enganche de Fase).

360 multiplicadores dedicados 18x18.

475 pines para el usuario.

8 transceiver de hasta 3.125 Gbps.

Tecnología de transistor de 60 nm.

Bloque para interface PCIe.

Bloques I/O (In-Out) configurables.

Interface de control de memoria externa

DDR y DDR2 hasta 400 Mbps.

Modelo de chip en placa DE0-Nano

**Table 1-1. Resources for the Cyclone IV E Device Family**

Resources	EP4CE6	EP4CE10	EP4CE15	EP4CE22	EP4CE30	EP4CE40	EP4CE55	EP4CE75	EP4CE115
Logic elements (LEs)	6,272	10,320	15,408	22,320	28,848	39,600	55,856	75,408	114,480
Embedded memory (Kbits)	270	414	504	594	594	1,134	2,340	2,745	3,888
Embedded 18 × 18 multipliers	15	23	56	66	66	116	154	200	266
General-purpose PLLs	2	2	4	4	4	4	4	4	4
Global Clock Networks	10	10	20	20	20	20	20	20	20
User I/O Banks	8	8	8	8	8	8	8	8	8
Maximum user I/O <sup>(1)</sup>	179	179	343	153	532	532	374	426	528

**Note to Table 1-1:**

(1) The user I/Os count from pin-out files includes all general purpose I/O, dedicated clock pins, and dual purpose configuration pins. Transceiver pins and dedicated configuration pins are not included in the pin count.

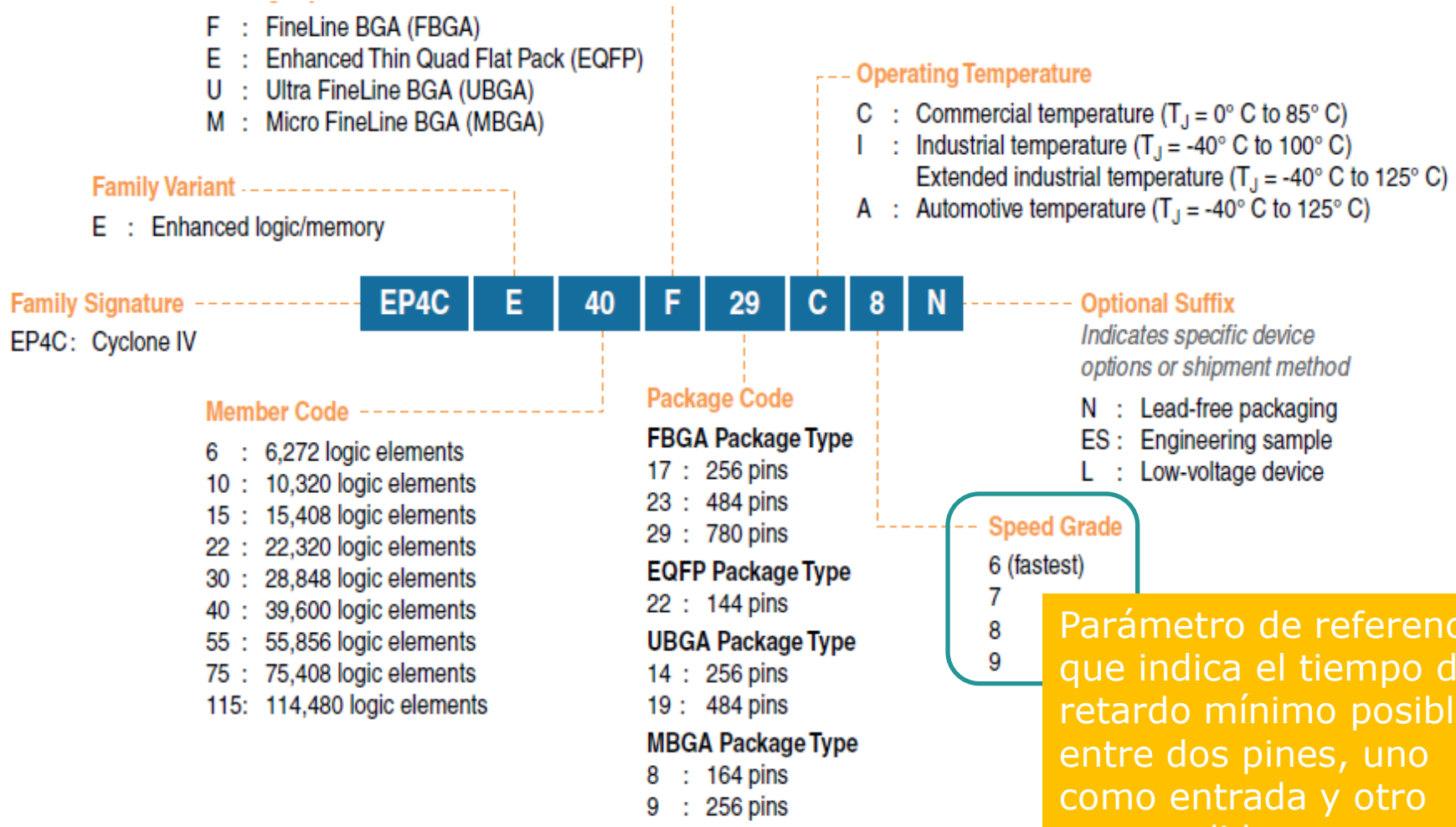
Modelo EP4CExxx Especificado para usos generales

# CYCLONE IV

Resources	EP4CGX15	EP4CGX22	EP4CGX30 <sup>(1)</sup>	EP4CGX30 <sup>(2)</sup>	EP4CGX50 <sup>(3)</sup>	EP4CGX75 <sup>(3)</sup>	EP4CGX110 <sup>(3)</sup>	EP4CGX150 <sup>(3)</sup>
Logic elements (LEs)	14,400	21,280	29,440	29,440	49,888	73,920	109,424	149,760
Embedded memory (Kbits)	540	756	1,080	1,080	2,502	4,158	5,490	6,480
Embedded 18 × 18 multipliers	0	40	80	80	140	198	280	360
General purpose PLLs	1	2	2	4 <sup>(4)</sup>	4 <sup>(4)</sup>	4 <sup>(4)</sup>	4 <sup>(4)</sup>	4 <sup>(4)</sup>
Multipurpose PLLs	2 <sup>(5)</sup>	2 <sup>(5)</sup>	2 <sup>(5)</sup>	2 <sup>(5)</sup>	4 <sup>(5)</sup>	4 <sup>(5)</sup>	4 <sup>(5)</sup>	4 <sup>(5)</sup>
Global clock networks	20	20	20	30	30	30	30	30
High-speed transceivers <sup>(6)</sup>	2	4	4	4	8	8	8	8
Transceiver maximum data rate (Gbps)	2.5	2.5	2.5	3.125	3.125	3.125	3.125	3.125
PCIe (PIPE) hard IP blocks	1	1	1	1	1	1	1	1
User I/O banks	9 <sup>(7)</sup>	9 <sup>(7)</sup>	9 <sup>(7)</sup>	11 <sup>(8)</sup>	11 <sup>(8)</sup>	11 <sup>(8)</sup>	11 <sup>(8)</sup>	11 <sup>(8)</sup>
Maximum user I/O <sup>(9)</sup>	72	150	150	290	310	310	475	475

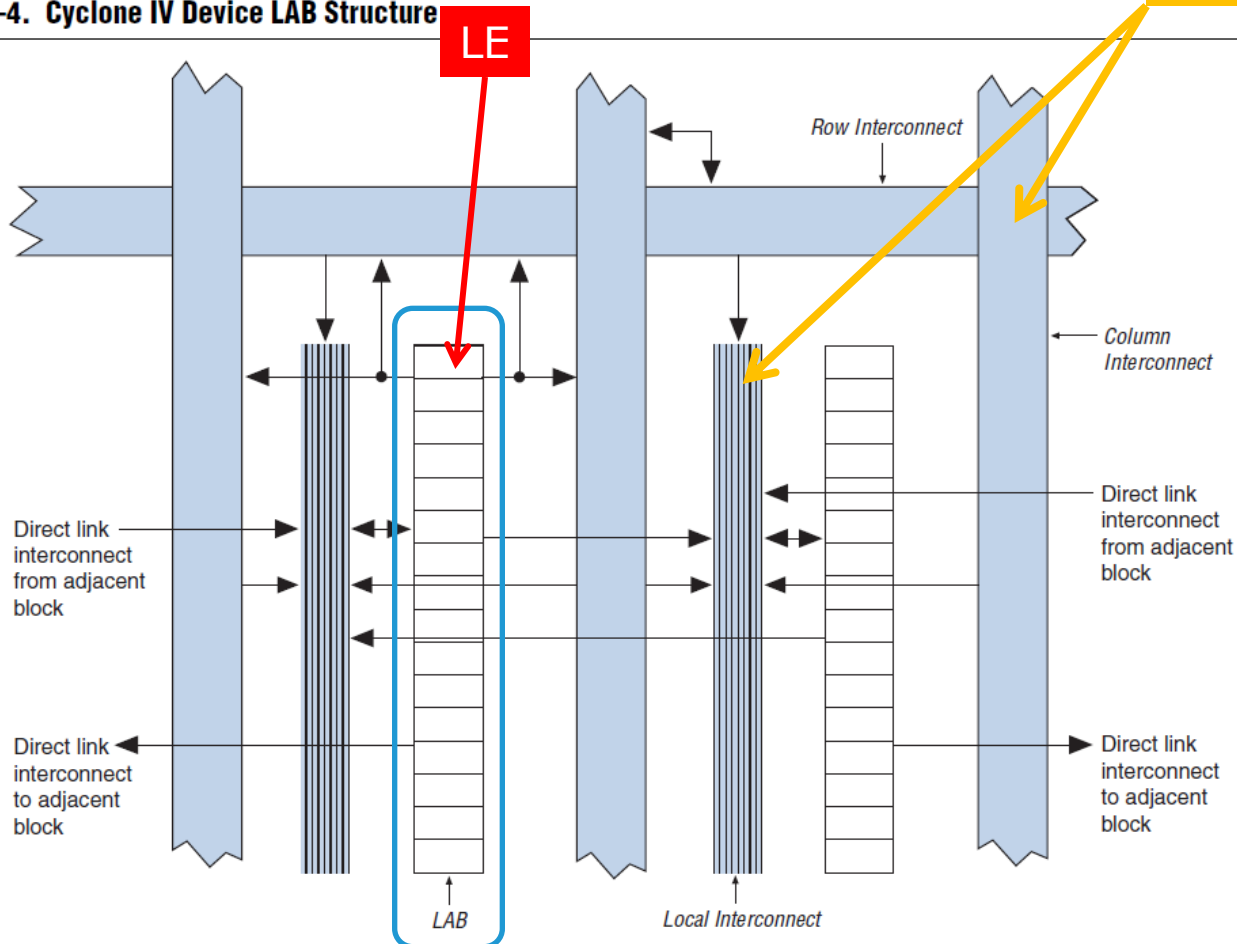
Modelo EP4CGXxxx Especificado para usos en comunicaciones seriales

## Figure 1-3. Packaging Ordering Information for the Cyclone IV E Device



Parámetro de referencia que indica el tiempo de retardo mínimo posible entre dos pines, uno como entrada y otro como salida.

Figure 2-4. Cyclone IV Device LAB Structure



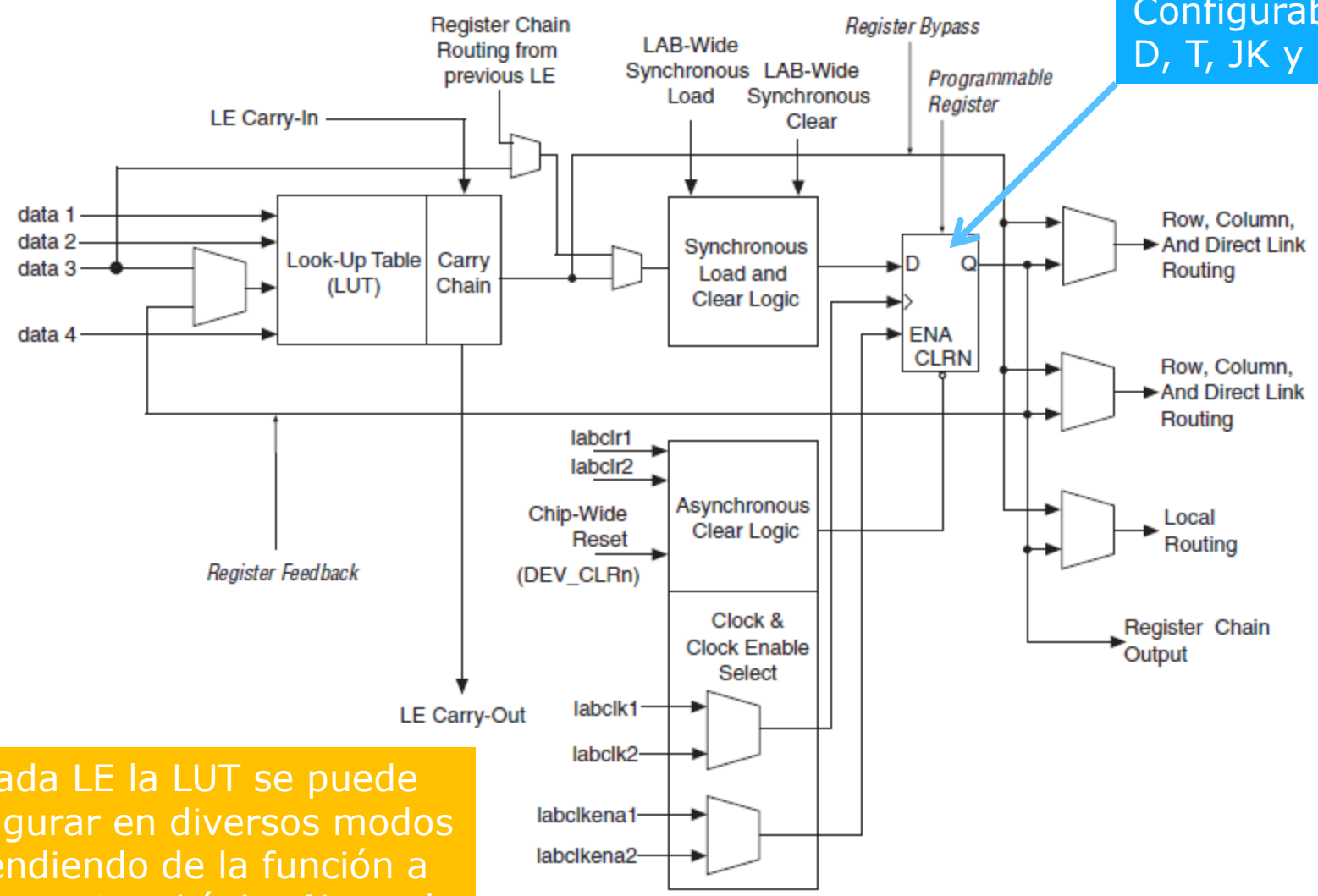
Parte de la Matriz de interconexión.

Cada LAB provee a los LE las señales de:  
2 clocks.  
2 clock enable.  
2 asynchro clear.  
1 synchro clear.  
1 synchro load.

Se optimizan los accesos a los LABs (Logic Array Block) en especial, señales de reloj y clear. Dentro de un LAB se optimizan también los accesos entre los 16 LEs que lo constituyen. Ej: Contador rápido => conviene usar los LE de un mismo LAB.



## Figure 2-1. Cyclone IV Device LEs

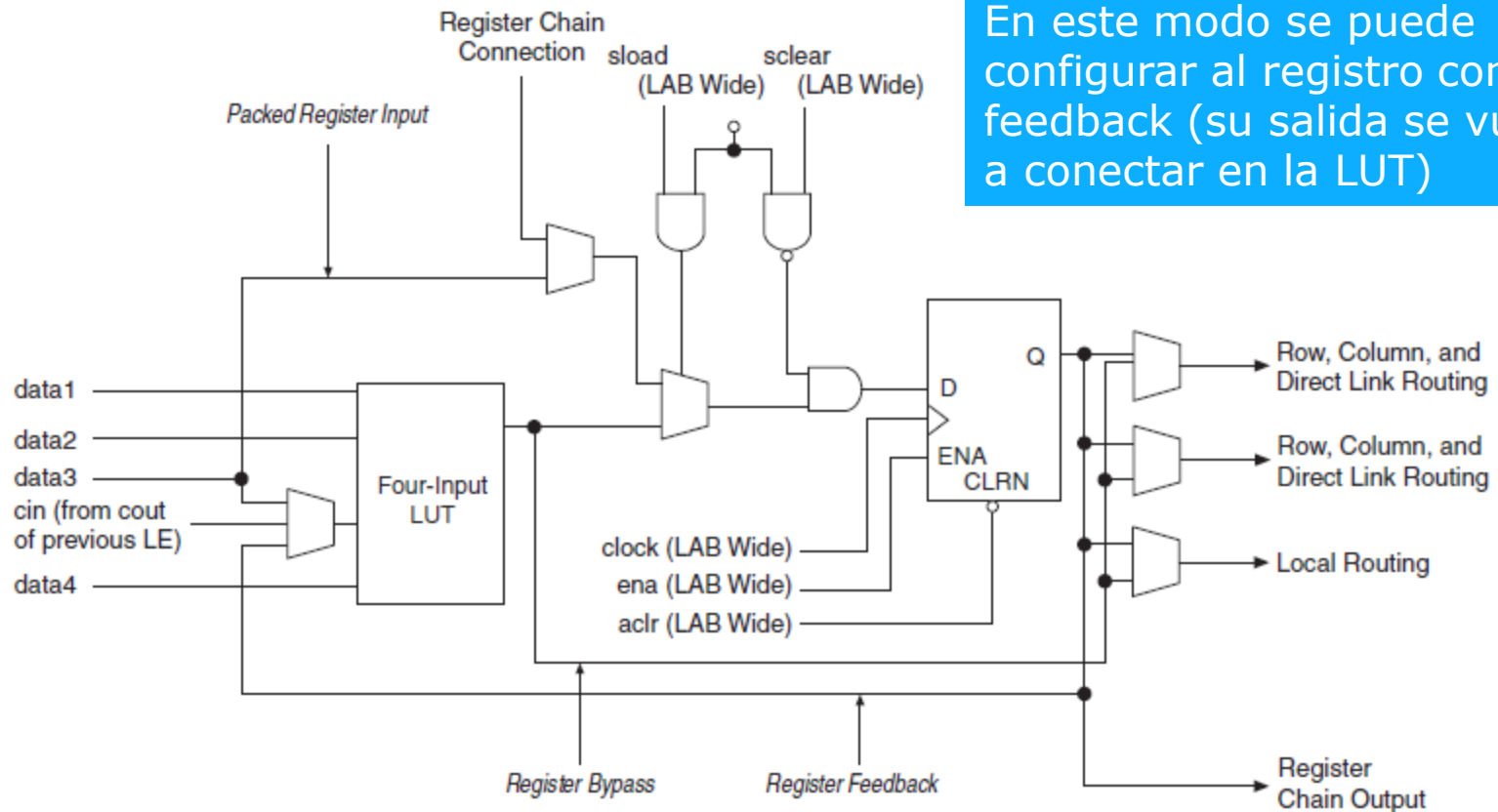


Configurable como D, T, JK y SR.

En cada LE la LUT se puede configurar en diversos modos dependiendo de la función a implementar: Lógica Normal ó Aritmético.

## Configuración LE en modo NORMAL

**Figure 2–2. Cyclone IV Device LEs in Normal Mode**



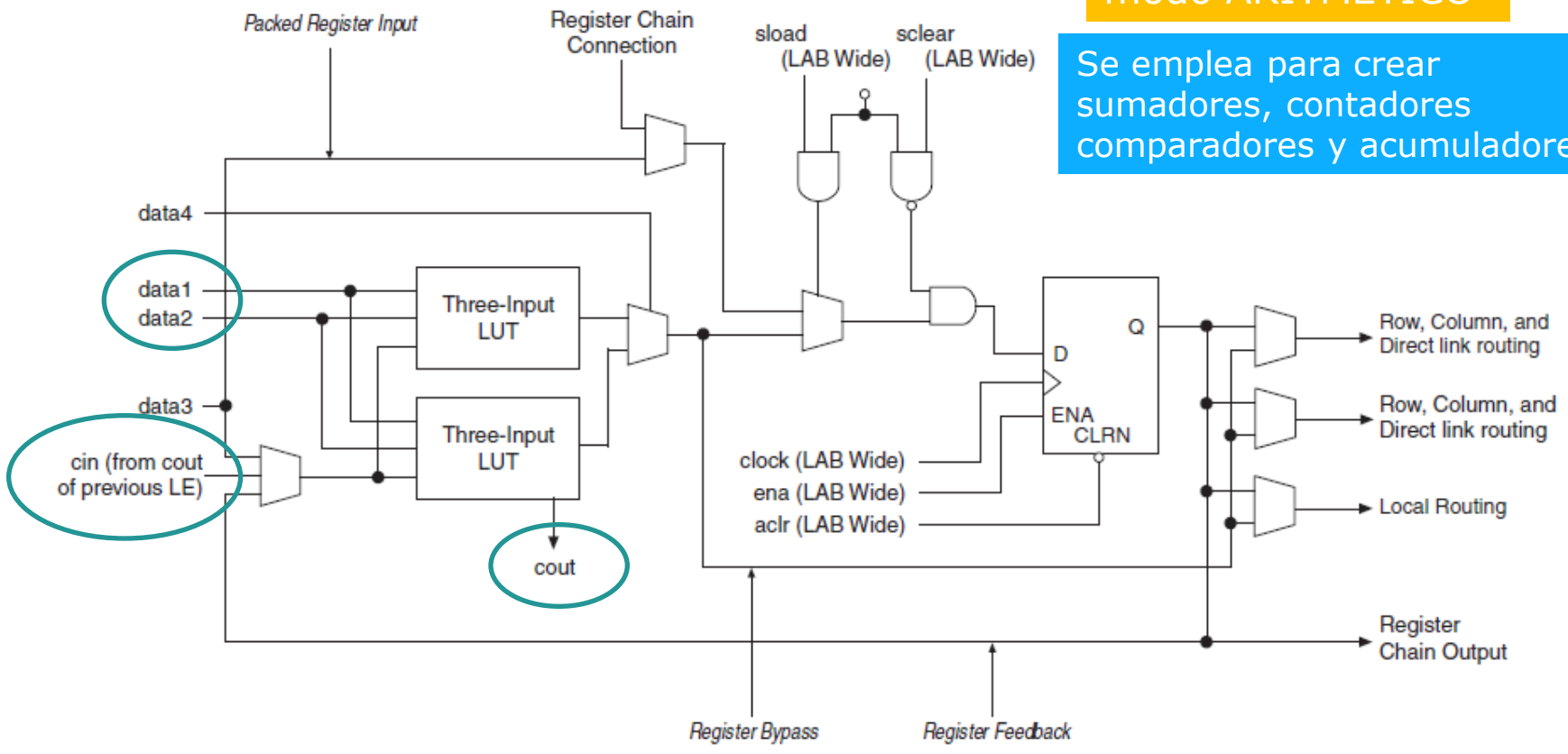
En este modo se puede configurar al registro como feedback (su salida se vuelve a conectar en la LUT)

El FF si no es requerido por la LUT puede ser reutilizado por otra parte del circuito. En este modo la capacidad de la LUT es de hasta 4 variables.

**Figure 2–3. Cyclone IV Device LEs in Arithmetic Mode**

## Configuración LE en modo ARITMÉTICO

Se emplea para crear sumadores, contadores comparadores y acumuladores



En modo aritmético la LUT se divide en dos partes para obtener el bit de Suma y el Carry de salida (Cout).

## Bloques de memoria dedicada

## Overview

M9K blocks support the following features:

- 8,192 memory bits per block (9,216 bits per block including parity)
- Independent read-enable (*rden*) and write-enable (*wren*) signals for each port
- Packed mode in which the M9K memory block is split into two 4.5 K single-port RAMs
- Variable port configurations
- Single-port and simple dual-port modes support for all port widths
- True dual-port (one read and one write, two reads, or two writes) operation
- Byte enables for data input masking during writes
- Two clock-enable control signals for each port (port A and port B)
- Initialization file to pre-load memory content in RAM and ROM modes

Bloques de memoria dedicada

**Table 3–1. Summary of M9K Memory Features**

Feature	M9K Blocks
Configurations (depth × width)	8192 × 1
	4096 × 2
	2048 × 4
	1024 × 8
	1024 × 9
	512 × 16
	512 × 18
	256 × 32
256 × 36	
Parity bits	✓
Byte enable	✓
Packed mode	✓
Address clock enable	✓
Single-port mode	✓
Simple dual-port mode	✓
True dual-port mode	✓
Embedded shift register mode <sup>(1)</sup>	✓
ROM mode	✓
FIFO buffer <sup>(1)</sup>	✓
Simple dual-port mixed width support	✓
True dual-port mixed width support <sup>(2)</sup>	✓
Memory initialization file (.mif)	✓
Mixed-clock mode	✓

Se pueden implementar RDs para uso en diseños DSP como filtros FIR.

## Memory Modes

Cyclone IV devices M9K memory blocks allow you to implement fully-synchronous SRAM memory in multiple modes of operation. Cyclone IV devices M9K memory blocks do not support asynchronous (unregistered) memory inputs.

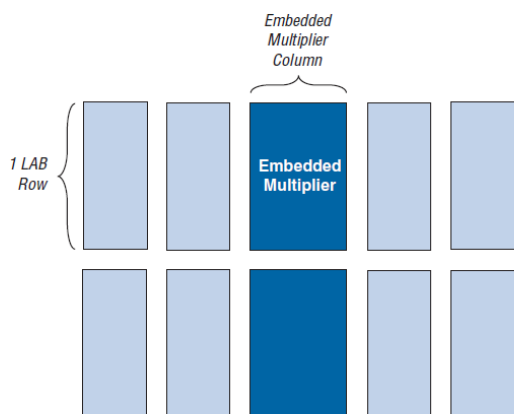
M9K memory blocks support the following modes:

- Single-port
- Simple dual-port
- True dual-port
- Shift-register
- ROM
- FIFO

Permite operaciones simultáneas de write y read de diferentes dispositivos en una dada posición de memoria.

Tipo de acceso secuencial First In-First Out

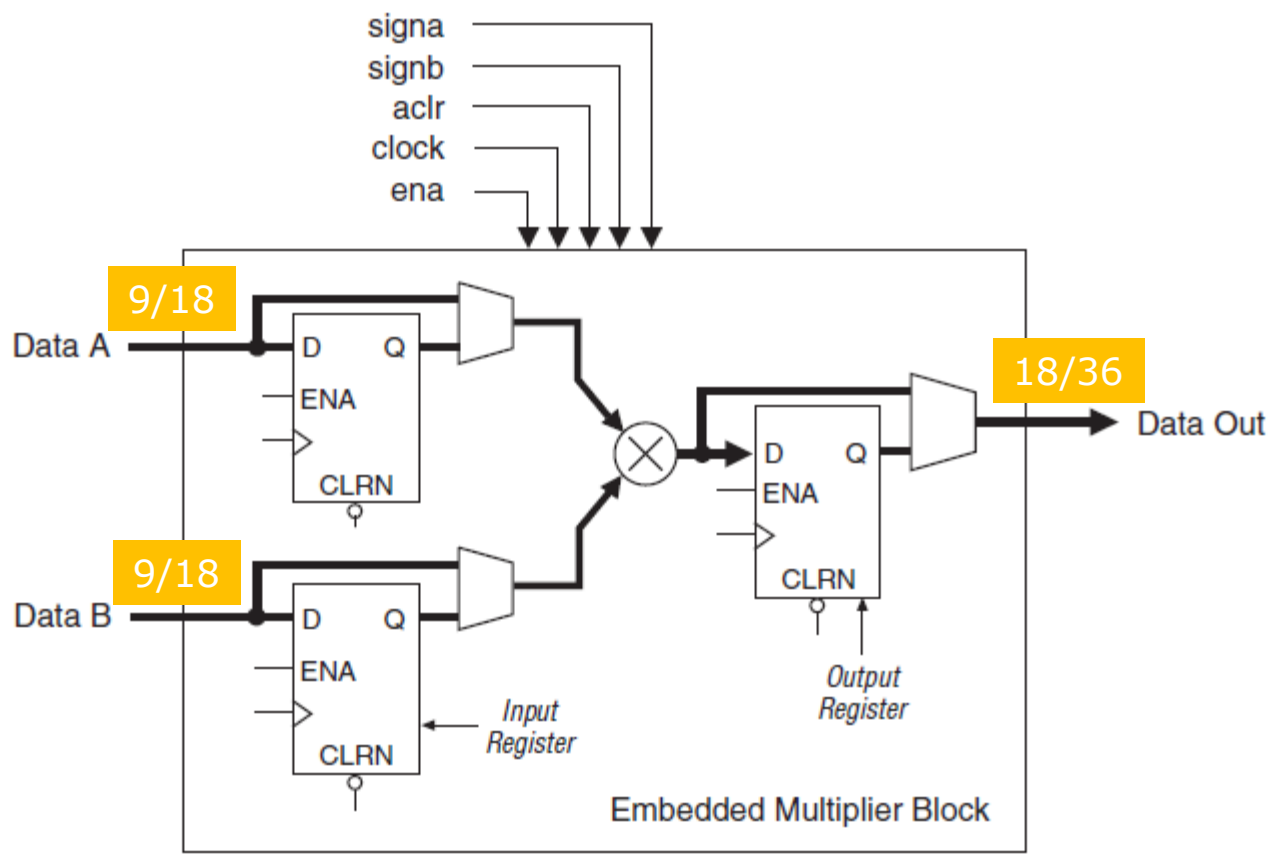
Figure 4-1. Embedded Multipliers Arranged in Columns with Adjacent LABs



Bloques de multiplicación dedicada

Cada bloque puede realizar dos operaciones de 9x9 ó una de 18x18 con o sin signo.

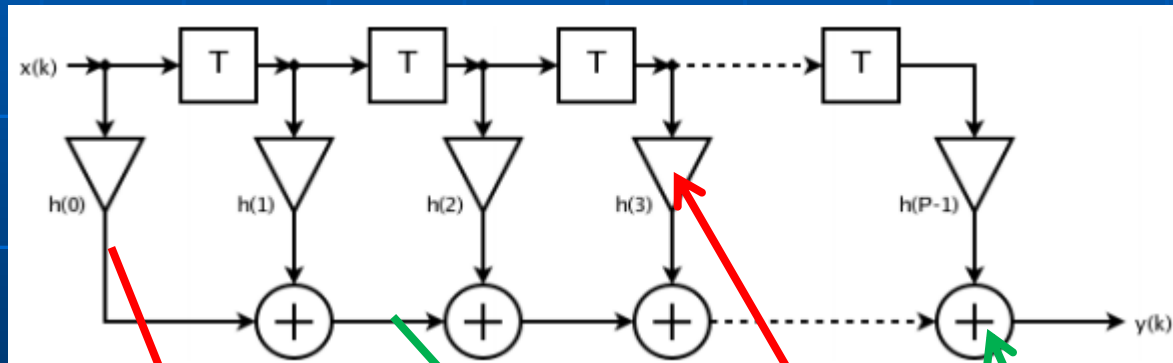
Figure 4-2. Multiplier Block Architecture



$$y_n = \sum_{k=0}^{N-1} h_k x_{n-k}$$

La salida de un filtro expresada como la entrada multiplicada por su respuesta a la función impulso

$$H(z) = \sum_{k=0}^{N-1} h_k z^{-k} = h_0 + h_1 z^{-1} + \dots + h_{N-1} z^{-(N-1)}$$



Esquema del filtro donde T son las muestras de  $X(k)$  e  $Y(k)$  es la salida discreta

$$x(0) * h(0)$$

Multiplicador

Sumador

$$x(0) * h(0) + x(1) * h(1)$$

Los sumadores son implementados combinando los LE



## Bloque de Lazo de Enganche de Fase Digital (PLL)

**Figure 5–10. Cyclone IV E PLL Block Diagram (1)**

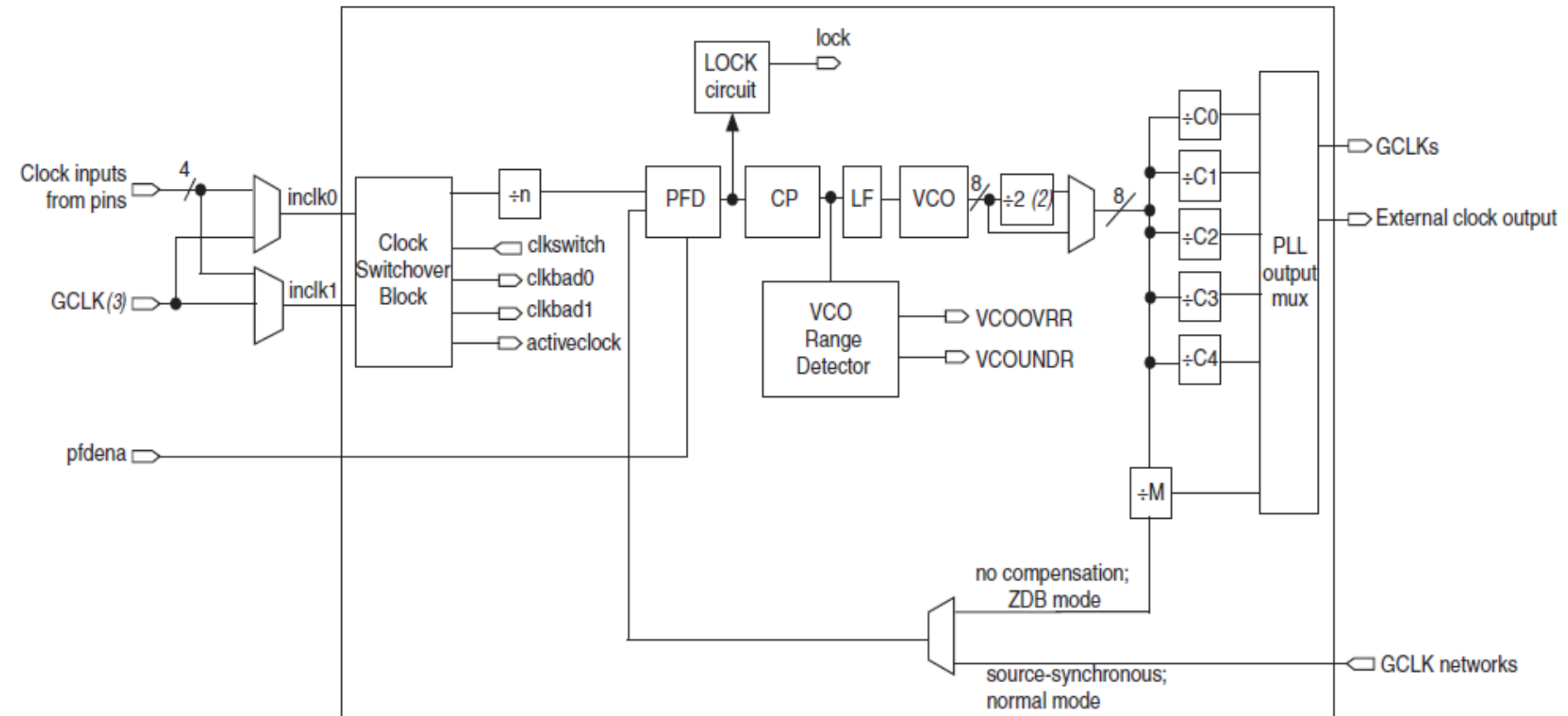
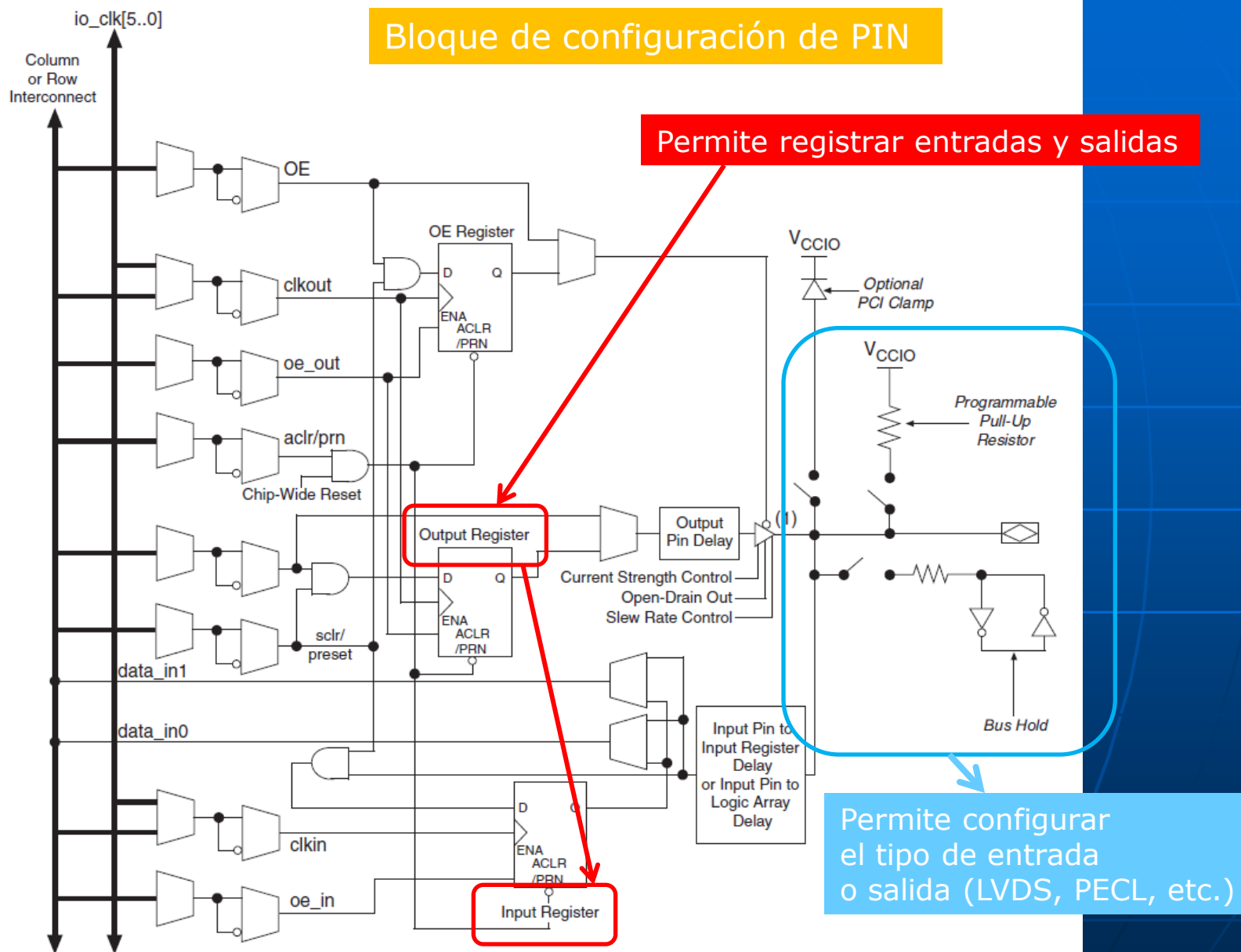
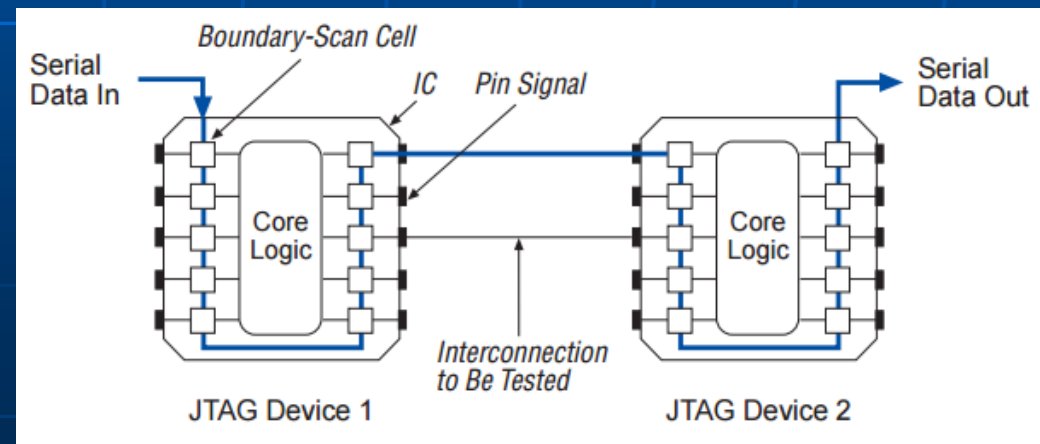
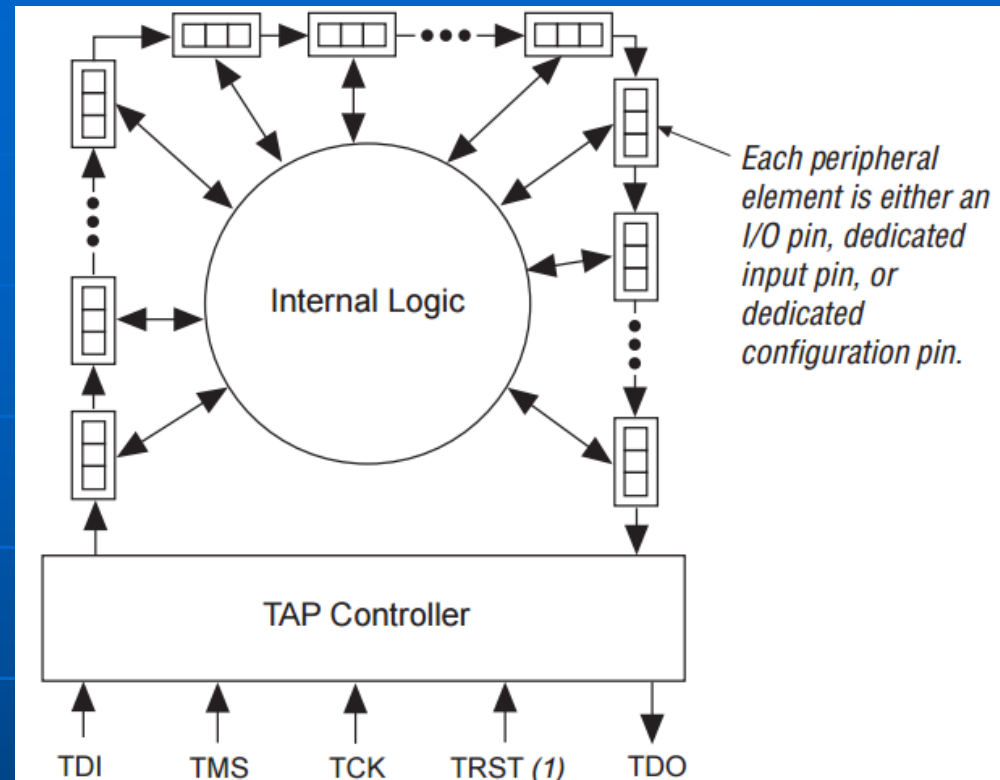


Figure 6-1. Cyclone IV IOEs in a Bidirectional I/O Configuration for SDR Mode

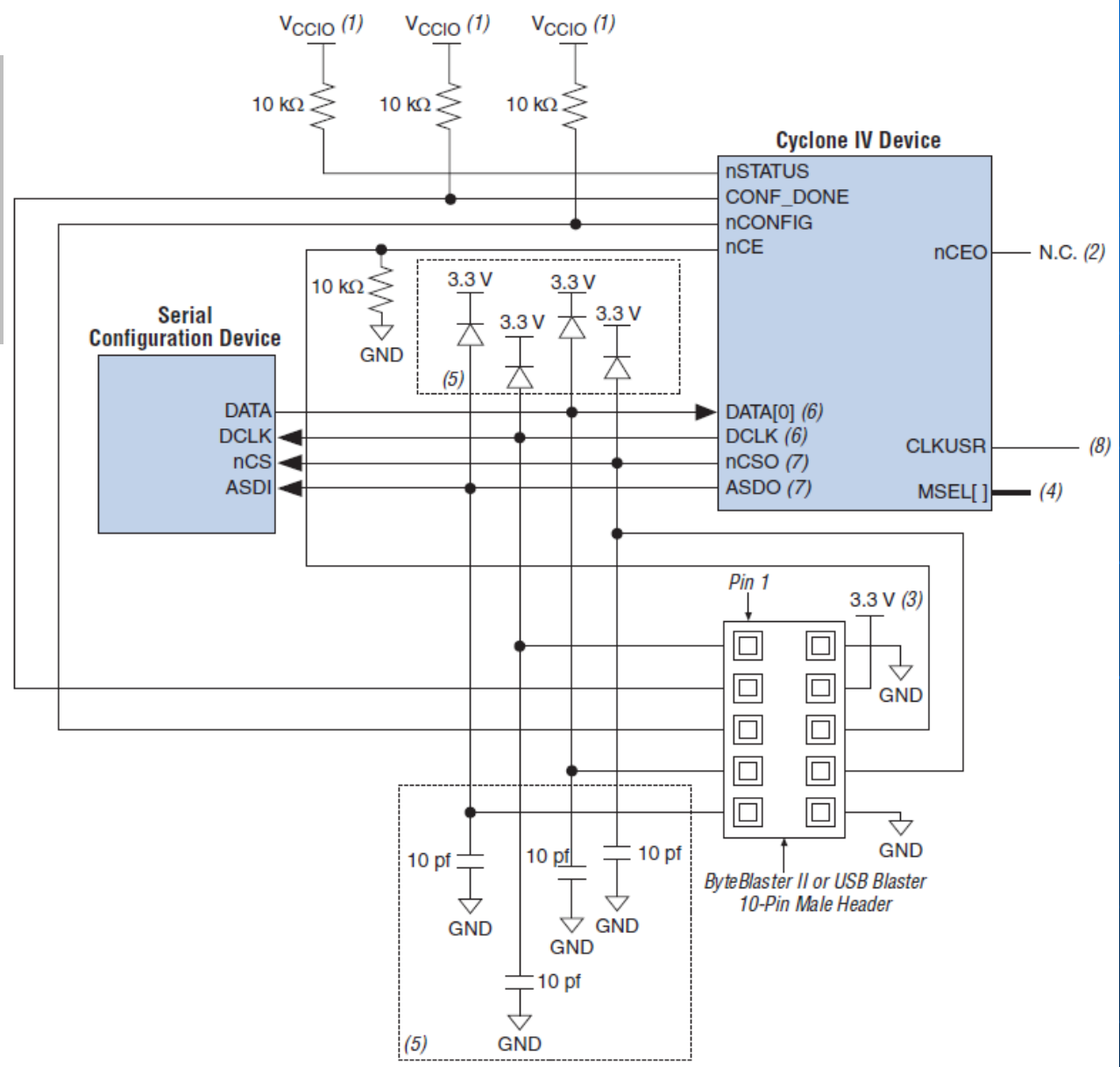


Está normalizado por la IEEE la metodología para realizar el test y configuración de circuitos lógicos programables (como también otros dispositivos como microcontroladores) los cuales pueden estar directamente soldados al circuito impreso permitiendo lo que se denomina ISP (In-System Programmability).

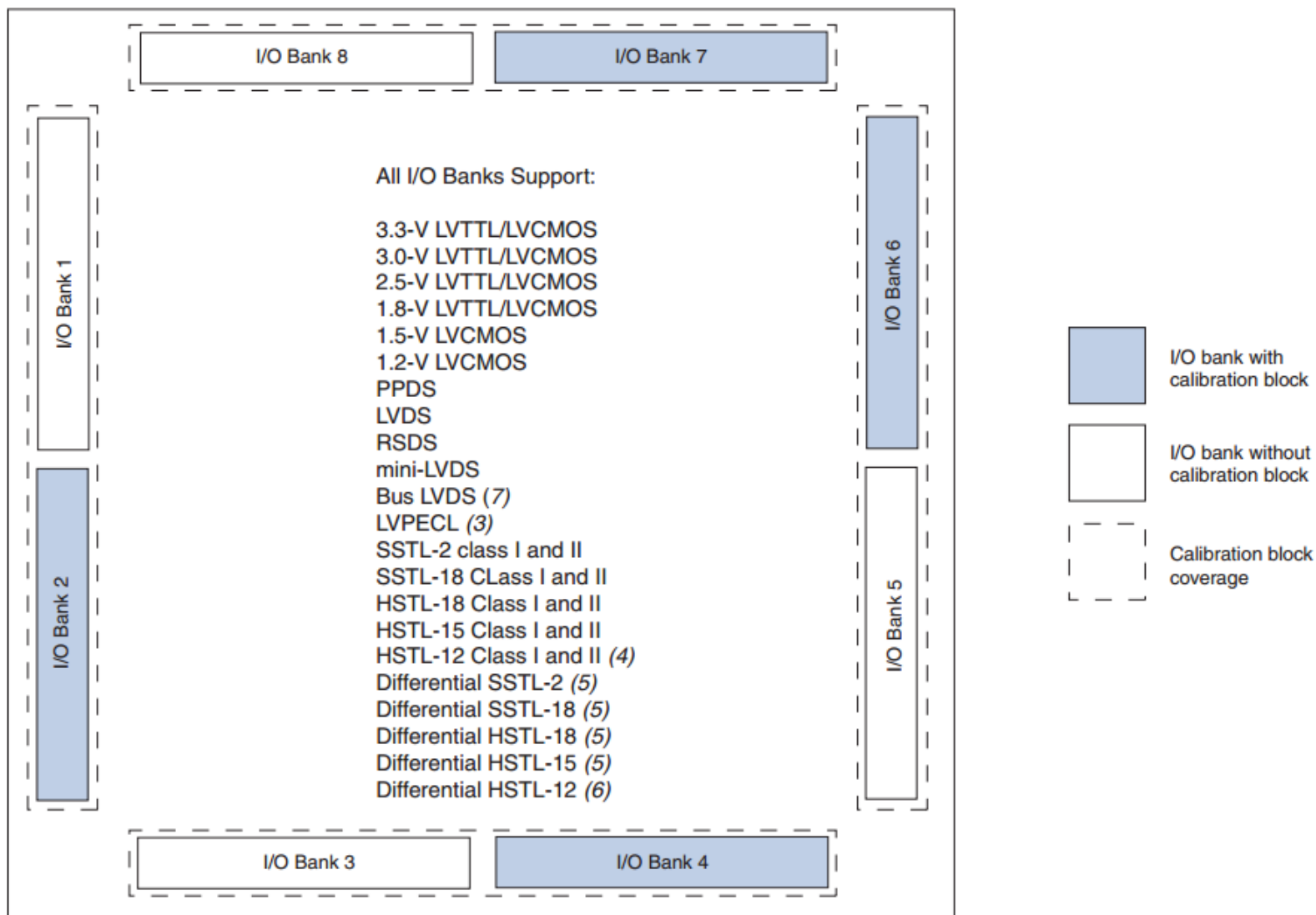


**Figure 8–6. In-System Programming of Serial Configuration Devices**

Modo de configuración de la FPGA ya sea directo de un programador o desde una memoria de booteo tipo EEPROM serie.



**Figure 6–9. Cyclone IV E I/O Banks (1), (2)**



## FPGA de bajo costo de XILINX

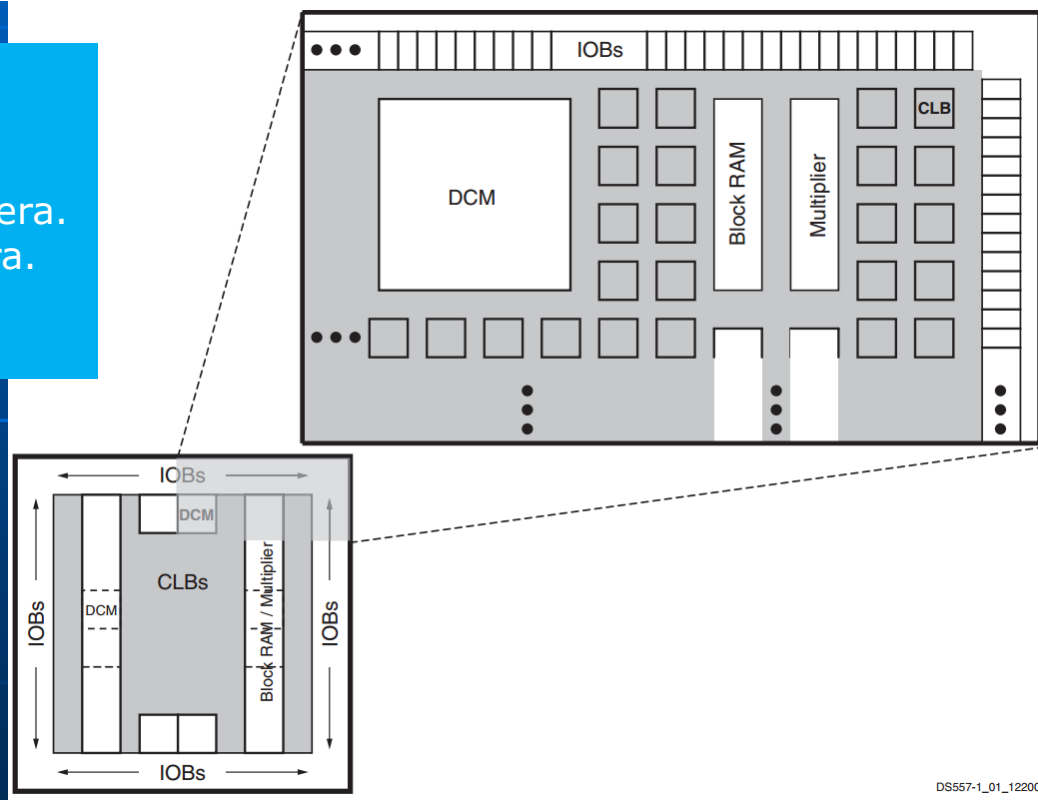
Table 2: Summary of Spartan-3AN FPGA Attributes

Device	System Gates	Equivalent Logic Cells	CLBs	Slices	Distributed RAM Bits <sup>(1)</sup>	Block RAM Bits <sup>(1)</sup>	Dedicated Multipliers	DCMs	Maximum User I/O	Max Differential I/O Pairs	Bitstream Size <sup>(1)</sup>	In-System Flash Bits
XC3S50AN	50K	1,584	176	704	11K	54K	3	2	108	50	427K	1M <sup>(2)</sup>
XC3S200AN	200K	4,032	448	1,792	28K	288K	16	4	195	90	1,168K	4M
XC3S400AN	400K	8,064	896	3,584	56K	360K	20	4	311	142	1,842K	4M
XC3S700AN	700K	13,248	1,472	5,888	92K	360K	20	8	372	165	2,669K	8M
XC3S1400AN	1400K	25,344	2,816	11,264	176K	576K	32	8	502	227	4,644K	16M

Esta FPGA posee memoria de configuración NO-VOLATIL y bancos de memoria dedicada SRAM.  
 Los CLBs son equivalentes a los LABs de Altera.  
 Los Slices son equivalentes a los LE de Altera.  
 Tecnología de 90 nm.  
 Posee multiplicadores de 18x18.

CLB: Configurable Logic Block.  
 DCM: digital Clock manager.

Los pines de I/O soportan LVTTTL, LVCMOS, LVDS, PECL y otros.  
 LVCMOS en 3,3-2,5-1,8-1,5 y 1,2V

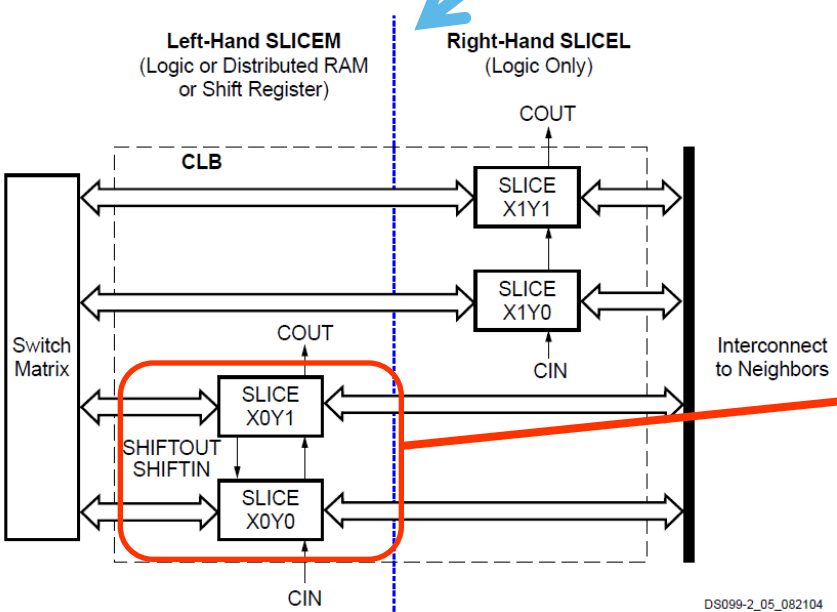
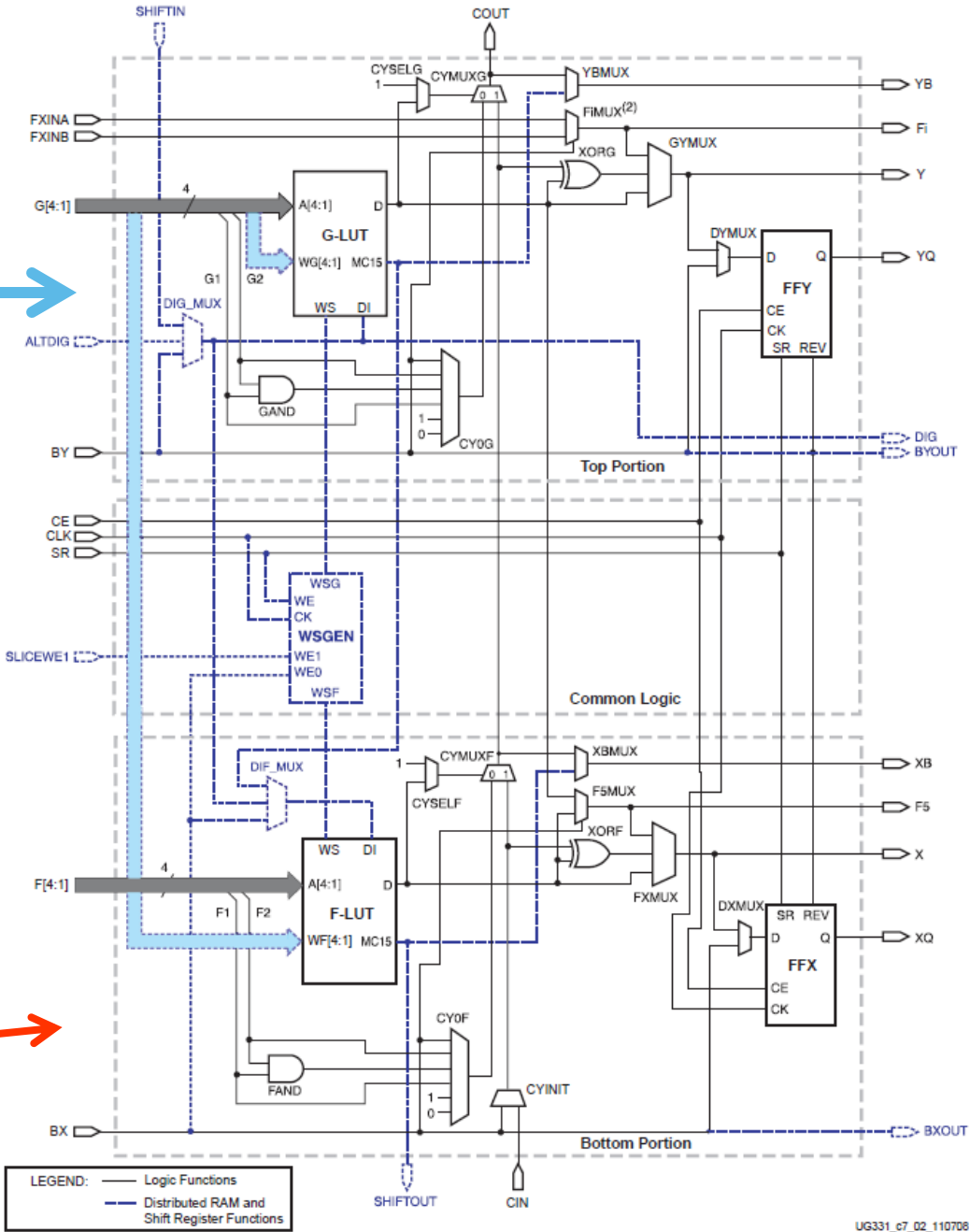


# SPARTAN 3-AN

## FPGA de bajo costo de XILINX

Diagrama de dos SLICEM de un CLB. En el se puede hacer lógica ó usarlo como un bit de memoria distribuída ó de un Shift Register.

Diagrama de un CLB mostrando las ubicaciones de los 4 SLICES.



DS099-2\_05\_082104

UG331\_c7\_02\_110708

### Stratix V Family Variants

The Stratix V device family contains the GT, GX, GS, and E variants.

**Stratix V GT** devices, with both 28.05-Gbps and 12.5-Gbps transceivers, are optimized for applications that require ultra-high bandwidth and performance in areas such as 40G/100G/400G optical communications systems and optical test systems. 28.05-Gbps and 12.5-Gbps transceivers are also known as GT and GX channels, respectively.

**Stratix V GX** devices offer up to 66 integrated transceivers with 14.1-Gbps data rate capability. These transceivers also support backplane and optical interface applications. These devices are optimized for high-performance, high-bandwidth applications such as 40G/100G optical transport, packet processing, and traffic management found in wireline, military communications, and network test equipment markets.

**Stratix V GS** devices have an abundance of variable precision DSP blocks, supporting up to 3,926 18x18 or 1,963 27x27 multipliers. In addition, Stratix V GS devices offer integrated transceivers with 14.1-Gbps data rate capability. These transceivers also support backplane and optical interface applications. These devices are optimized for transceiver-based DSP-centric applications found in wireline, military, broadcast, and high-performance computing markets.



Table 1: Summary of Features for Stratix V Devices

Feature	Description
Technology	<ul style="list-style-type: none"> <li>• 28-nm TSMC process technology</li> <li>• 0.85-V or 0.9-V core voltage</li> </ul>
Low-power serial transceivers	<ul style="list-style-type: none"> <li>• 28.05-Gbps transceivers on Stratix V GT devices</li> <li>• Electronic dispersion compensation (EDC) for XFP, SFP+, QSFP, CFP optical module support</li> <li>• Adaptive linear and decision feedback equalization</li> <li>• Transmitter pre-emphasis and de-emphasis</li> <li>• Dynamic reconfiguration of individual channels</li> <li>• On-chip instrumentation (EyeQ non-intrusive data eye monitoring)</li> </ul>
Backplane capability	<ul style="list-style-type: none"> <li>• 600-Megabits per second (Mbps) to 12.5-Gbps data rate capability</li> </ul>
General-purpose I/Os (GPIOs)	<ul style="list-style-type: none"> <li>• 1.4-Gbps LVDS</li> <li>• 1,066-MHz external memory interface</li> <li>• On-chip termination (OCT)</li> <li>• 1.2-V to 3.3-V interfacing for all Stratix V devices</li> </ul>
Embedded HardCopy Block	<ul style="list-style-type: none"> <li>• PCIe Gen3, Gen2, and Gen1 complete protocol stack, x1/x2/x4/x8 end point and root port</li> </ul>
Embedded transceiver hard IP	<ul style="list-style-type: none"> <li>• Interlaken physical coding sublayer (PCS)</li> <li>• Gigabit Ethernet (GbE) and XAUI PCS</li> <li>• 10G Ethernet PCS</li> <li>• Serial RapidIO<sup>®</sup> (SRIO) PCS</li> <li>• Common Public Radio Interface (CPRI) PCS</li> <li>• Gigabit Passive Optical Networking (GPON) PCS</li> </ul>
Power management	<ul style="list-style-type: none"> <li>• Programmable Power Technology</li> <li>• Quartus II integrated PowerPlay Power Analysis</li> </ul>

Table 2. Comparison of Stratix V Variants

Feature	Stratix V E FPGA	Stratix V GS FPGA	Stratix V GX FPGA	Stratix V GT FPGA
<a href="#">High-performance adaptive logic modules (ALMs)</a>	359,200	262,400	359,200	234,720
<a href="#">Variable-precision DSP blocks (18x18)</a>	704	3,926	798	512
<a href="#">M20K memory blocks</a>	2,640	2,567	2,660	2,560
<a href="#">External memory interface</a>	✓	✓	✓	✓
<a href="#">Partial reconfiguration</a>	✓	✓	✓	✓
<a href="#">fPLL</a>	✓	✓	✓	✓
<a href="#">Design security</a>	✓	✓	✓	✓
<a href="#">SEU mitigation</a>	✓	✓	✓	✓
<a href="#">PCI Express Gen3, Gen2, Gen1 hard IP blocks</a>	-	Up to 2	Up to 4	1
<a href="#">Embedded HardCopy Blocks and hard IP</a>	-	✓	✓	✓
<a href="#">Transceivers (1)</a>	-	14.1 Gbps / 48	14.1 Gbps / 66	28.05 Gbps / 4 12.5 Gbps / 32

Table 4: Stratix V GS Device Features

Features	5SGSD3	5SGSD4	5SGSD5	5SGSD6	5SGSD8
Logic Elements (K)	236	360	457	583	695
Registers (K)	356	543	690	880	1,050
14.1-Gbps transceivers	12 or 24	12, 24, or 36	24 or 36	36 or 48	36 or 48
PCIe hard IP blocks	1	1	1	1, 2, or 4	1, 2, or 4
Fractional PLLs	20	20 <sup>5</sup>	24	28	28
M20K Memory Blocks	688	957	2,014	2,320	2,567
M20K Memory (Mbits)	13	19	39	45	50
Variable Precision Multipliers (18x18)	1,200	2,088	3,180	3,550	3,926
Variable Precision Multipliers (27x27)	600	1,044	1,590	1,775	1,963
DDR3 SDRAM x72 DIMM Interfaces	2	4	4	6	6
User I/Os <sup>1</sup> , Full-Duplex LVDS, 14.1-Gbps Transceivers					
Package <sup>2 3 6 7</sup>	5SGSD3	5SGSD4	5SGSD5	5SGSD6	5SGSD8
EH29-H780	360, 90, 12 <sup>H</sup>	360, 90, 12 <sup>H</sup>	—	—	—
HF35-F1152 <sup>8</sup>	432, 108, 24	432, 108, 24	552, 138, 24	—	—
KF40-F1517 <sup>8</sup>	—	696, 174, 36	696, 174, 36	696, 174, 36	696, 174, 36
NF45-F1932 <sup>8</sup>	—	—	—	840, 210, 48	840, 210, 48

FPGA Comparison Table

Features	Artix-7	Kintex-7	Virtex-7	Spartan-6	Virtex-6
Logic Cells	215,000	480,000	2,000,000	150,000	760,000
BlockRAM	13Mb	34Mb	68Mb	4.8Mb	38Mb
DSP Slices	740	1,920	3,600	180	2,016
DSP Performance (symmetric FIR)	930GMACs	2,845GMACs	5,335GMACs	140GMACs	2,419GMACs
Transceiver Count	16	32	96	8	72
Transceiver Speed	6.6Gb/s	12.5Gb/s	28.05Gb/s	3.2Gb/s	11.18Gb/s
Total Transceiver Bandwidth (full duplex)	211Gb/s	800Gb/s	2,784Gb/s	50Gb/s	536Gb/s
Memory Interface (DDR3)	1,066Mb/s	1,866Mb/s	1,866Mb/s	800Mb/s	1,066Mb/s
PCI Express® Interface	x4 Gen2	x8 Gen2	x8 Gen3	x1 Gen1	x8 Gen2
Analog Mixed Signal (AMS)/XADC	Yes	Yes	Yes		Yes
Configuration AES	Yes	Yes	Yes	Yes	Yes
I/O Pins	500	500	1,200	576	1,200
I/O Voltage	1.2V, 1.35V, 1.5V, 1.8V, 2.5V, 3.3V	1.2V, 1.35V, 1.5V, 1.8V, 2.5V, 3.3V	1.2V, 1.35V, 1.5V, 1.8V, 2.5V, 3.3V	1.2V, 1.5V, 1.8V, 2.5V, 3.3V	1.2V, 1.5V, 1.8V, 2.5V
EasyPath Cost Reduction Solution	-	Yes	Yes	-	Yes



# PRECIOS FLIP-FLOPS Y CONTADORES CMOS HIGH SPEED

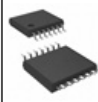










Image	Digi-Key Part Number	Manufacturer Part Number	Manufacturer	Description	Quantity Available	Unit Price USD	Minimum Quantity	Packaging	Series	Function	Type	Output Type	Number of Elements	Number of Bits per Element	Frequency - Clock
	<a href="#">296-33663-5-ND</a> 	<a href="#">SN74ACT74PW</a>	<a href="#">Texas Instruments</a>	IC DUAL POS-EDG-TRG D FF 14TSSOP	2,007 - Immediate 9,540 - <a href="#">Factory Stock</a>	<a href="#">0.57000</a>	1	Tube <a href="#">Alternate Packaging</a>	<a href="#">74ACT</a>	Set(Preset) and Reset	D-Type	Differential	2	1	210MHz
	<a href="#">296-1079-5-ND</a> 	<a href="#">SN74ACT74D</a>	<a href="#">Texas Instruments</a>	IC DUAL POS-EDG-TRG D F-F 14SOIC	1,566 - Immediate	<a href="#">0.57000</a>	1	Tube <a href="#">Alternate Packaging</a>	<a href="#">74ACT</a>	Set(Preset) and Reset	D-Type	Differential	2	1	210MHz

Image	Digi-Key Part Number	Manufacturer Part Number	Manufacturer	Description	Quantity Available	Unit Price USD	Minimum Quantity	Packaging	Series	Logic Type	Direction	Number of Elements	Number of Bits per Element	Reset	Timing	Count Rate
	<a href="#">296-31552-2-ND</a> 	<a href="#">CD74ACT163M96</a>	<a href="#">Texas Instruments</a>	IC 4BIT SYNC BIN COUNTER 16-SOIC	0	<a href="#">0.23200</a>	2,500	Tape & Reel (TR) <a href="#">Alternate Packaging</a>	<a href="#">74ACT</a>	Binary Counter	Up	1	4	Synchronous	Synchronous	80MHz
	<a href="#">296-31552-1-ND</a> 	<a href="#">CD74ACT163M96</a>	<a href="#">Texas Instruments</a>	IC 4BIT SYNC BIN COUNTER 16-SOIC	2,433 - Immediate	<a href="#">0.66000</a>	1	Cut Tape (CT) <a href="#">Alternate Packaging</a>	<a href="#">74ACT</a>	Binary Counter	Up	1	4	Synchronous	Synchronous	80MHz
	<a href="#">296-31552-6-ND</a> 	<a href="#">CD74ACT163M96</a>	<a href="#">Texas Instruments</a>	IC 4BIT SYNC BIN COUNTER 16-SOIC	2,433 - Immediate	<a href="#">Calculate</a>	1	<a href="#">Digi-Reel®</a> <a href="#">Alternate Packaging</a>	<a href="#">74ACT</a>	Binary Counter	Up	1	4	Synchronous	Synchronous	80MHz

<input type="checkbox"/> <a href="#">91K9666</a>  	<a href="#">EPM7064STC44-10N</a>	<p><b>ALTERA</b>  <b>IC, MAX ISP PLD, 7064, TQFP44, 5V</b>  <a href="#">More Details</a>                      ★★★★★                      ( <a href="#">Write a Review</a>   <a href="#">Ask a Question</a> )</p>	<p>215</p> <p>Price For: 1 Each  <b>1+ \$15.67</b></p> <p><input type="text" value="1"/>  <input type="button" value="Buy"/></p> <p><a href="#">UK Stock</a> - Non-Cancellable/Non-Returnable</p> <p><b>Freight Charge: \$20.00 once per order</b></p> <p><b>215 available for delivery in 5-7 business days</b>                      (Continental US Only)                      ▶ <a href="#">Check more stock...</a></p>
--	----------------------------------	--	--

# Precios de Cyclone IV

Part #	Manufacturer Part No	Manufacturer / Description	Availability	Price	Qty	No. of Logic Blocks	No. of Macrocells	Family Type	Logic Case Style	No. of Pins
						▲_▼	▲_▼	▲_▼	▲_▼	▲_▼
<input type="checkbox"/> <a href="#">66W1363</a>   	<a href="#">EP4CE10E22C8N</a>	<b>ALTERA</b> <b>FPGA, CYCLONE IV,</b> <b>10K LE, 144TQFP</b> <a href="#">More Details</a> ★★★★★ ( <a href="#">Write a Review</a>   <a href="#">Ask a Question</a> )	22	Price For: 1 Each 1+ <b>\$46.38</b> 25+ <b>\$42.62</b> 50+ <b>\$39.53</b> 100+ <b>\$38.21</b> <a href="#">more...</a>	<input type="text" value="1"/> <input type="button" value="Buy"/>	-	10320	Cyclone IV	TQFP	144
			<a href="#">UK Stock</a> - Non-Cancellable/Non-Returnable  <b>Freight Charge: \$20.00 once per order</b>  <b>22 available for delivery in 5-7 business days</b> (Continental US Only) <a href="#">Check more stock...</a>							
<input type="checkbox"/> <a href="#">66W1364</a>   	<a href="#">EP4CE115F23C7N</a>	<b>ALTERA</b> <b>FPGA, CYCLONE IV,</b> <b>115K, 484FBGA</b> <a href="#">More Details</a> ★★★★★ ( <a href="#">Write a Review</a>   <a href="#">Ask a Question</a> )	54	Price For: 1 Each 1+ <b>\$681.78</b> 5+ <b>\$658.93</b> 10+ <b>\$636.08</b> 25+ <b>\$586.56</b> <a href="#">more...</a>	<input type="text" value="1"/> <input type="button" value="Buy"/>	7155	114480	Cyclone IV	FBGA	484
			<a href="#">UK Stock</a> - Non-Cancellable/Non-Returnable  <b>Freight Charge: \$20.00 once per order</b>  <b>54 available for delivery in 5-7 business days</b> (Continental US Only) <a href="#">Check more stock...</a>							







## Precios de MAX II

Seleccionar	Imagen	N.º de artículo de Mouser	Fabricante: N.º de artículo	Fabricante:	Descripción		Disponibilidad	Precio: (USD)	Cantidad	RoHS
<input type="checkbox"/>	 Ampliar	989-EPM1270GF256I5N	EPM1270GF256I5N  Nuevo en Mouser	Altera Corporation	Dispositivos lógicos programables complejos (CPLD) CPLD - MAX II 980 Macro 212 IOs  Más información	<a href="#">Página 3,010</a> <a href="#">Hoja de datos</a>	 270 En existencias	1: \$39.50	<input type="text"/> <b>Comprar</b> Min.: 1 Mult.: 1	 Detalles
<input type="checkbox"/>	 Ampliar	989-EPM570ZM100I8N	EPM570ZM100I8N  Nuevo en Mouser	Altera Corporation	Dispositivos lógicos programables complejos (CPLD) CPLD - MAX II 440 Macro 76 IOs  Más información	<a href="#">Página 3,010</a> <a href="#">Hoja de datos</a>	429 En existencias	1: \$19.20	<input type="text"/> <b>Comprar</b> Min.: 1 Mult.: 1	 Detalles
<input type="checkbox"/>	 Ampliar	989-EPM1270T144C3N	EPM1270T144C3N  Nuevo en Mouser	Altera Corporation	Dispositivos lógicos programables complejos (CPLD) CPLD - MAX II 980 Macro 116 IO  Más información	<a href="#">Página 3,010</a> <a href="#">Hoja de datos</a>	158 En existencias	1: \$45.40	<input type="text"/> <b>Comprar</b> Min.: 1 Mult.: 1	 Detalles





























FPGA no-volátil como reemplazo de la EPLD MAX7000



# PRECIOS SPARTAN 3

Part #	Manufacturer Part No	Manufacturer / Description	Availability	Price	Qty	No. of Logic Blocks	No. of Macrocells	Family Type	Logic Case Style	No. of Pins
						▲▼	▲▼	▲▼	▲▼	▲▼
<input type="checkbox"/> <a href="#">52R3827</a>   	<a href="#">XC3S50AN-4TQG144I</a>	<b>XILINX</b> <b>FPGA, SPARTAN-3A,</b> <b>50K, TQFP-144</b> <a href="#">More Details</a> ★★★★★ ( <a href="#">Write a Review</a>   <a href="#">Ask a Question</a> )	71	Price For: 1 Each 1+ <b>\$14.31</b>	<input type="text" value="1"/> <input type="button" value="Buy"/>	176	1584	Spartan-3AN	TQFP	144
			<b>71 available to ship today</b> ▶ <a href="#">Check more stock...</a>							
<input type="checkbox"/> <a href="#">52R3821</a>   	<a href="#">XC3S200AN-4FTG256I</a>	<b>XILINX</b> <b>FPGA, SPARTAN-3AN,</b> <b>200K GATES,</b> <b>256FTBG</b> <a href="#">More Details</a> ★★★★★ ( <a href="#">Write a Review</a>   <a href="#">Ask a Question</a> )	53	Price For: 1 Each 1+ <b>\$41.99</b> 25+ <b>\$38.59</b> 50+ <b>\$35.79</b> 100+ <b>\$34.60</b> <a href="#">more...</a>	<input type="text" value="1"/> <input type="button" value="Buy"/>	448	4032	Spartan-3AN	FTBGA	256
			<b>UK Stock</b> - Non-Cancellable/Non-Returnable  <b>Freight Charge: \$20.00 once per order</b>  <b>53 available for delivery in 5-7 business days</b> (Continental US Only) ▶ <a href="#">Check more stock...</a>							

# Precios de VIRTEX 7

	Imagen	Número de pieza de Digi-Key	Número de pieza del fabricante	Fabricante	Descripción	<a href="#">Cantidad disponible</a>	Precio unitario USD	<a href="#">Cantidad mínima</a>	Serie	Cantidad de LAB/CLB	Cantidad de celdas/elementos de lógica	Total de bits de RAM	No. de entradas/salidas
	 Photo Not Available	<a href="#">XC7VX1140T-1FL1930C-ND</a> 	<a href="#">XC7VX1140T-1FL1930C</a>	<a href="#">Xilinx Inc</a>	IC FPGA VIRTEX-7 1.1M 1930BGA	0	<a href="#">18.212.40000</a>	12 <a href="#">Agotado</a>	<a href="#">Virtex®-7</a>	89000	1139200	69304320	1100
	 Photo Not Available	<a href="#">XC7VX1140T-1FLG1930C-ND</a> 	<a href="#">XC7VX1140T-1FLG1930C</a>	<a href="#">Xilinx Inc</a>	IC FPGA VIRTEX-7 1.1M 1930BGA	0	<a href="#">18.212.40000</a>	12 <a href="#">Agotado</a>	<a href="#">Virtex®-7</a>	89000	1139200	69304320	1100
	 Photo Not Available	<a href="#">XC7VX1140T-1FL1930L-ND</a> 	<a href="#">XC7VX1140T-1FL1930L</a>	<a href="#">Xilinx Inc</a>	IC FPGA VIRTEX-7 1.1M 1930BGA	0	<a href="#">22.766.40000</a>	12 <a href="#">Agotado</a>	<a href="#">Virtex®-7</a>	89000	1139200	69304320	1100
	 Photo Not Available	<a href="#">XC7VX1140T-1FLG1930L-ND</a> 	<a href="#">XC7VX1140T-1FLG1930L</a>	<a href="#">Xilinx Inc</a>	IC FPGA VIRTEX-7 1.1M 1930BGA	0	<a href="#">22.766.40000</a>	12 <a href="#">Agotado</a>	<a href="#">Virtex®-7</a>	89000	1139200	69304320	1100
	 Photo Not Available	<a href="#">XC7VX1140T-2FL1930C-ND</a> 	<a href="#">XC7VX1140T-2FL1930C</a>	<a href="#">Xilinx Inc</a>	IC FPGA VIRTEX-7 1.1M 1930BGA	0	<a href="#">22.766.40000</a>	12 <a href="#">Agotado</a>	<a href="#">Virtex®-7</a>	89000	1139200	69304320	1100
	 Photo Not Available	<a href="#">XC7VX1140T-2FLG1930C-ND</a> 	<a href="#">XC7VX1140T-2FLG1930C</a>	<a href="#">Xilinx Inc</a>	IC FPGA VIRTEX-7 1.1M 1930BGA	0	<a href="#">22.766.40000</a>	12 <a href="#">Agotado</a>	<a href="#">Virtex®-7</a>	89000	1139200	69304320	1100
	 Photo Not Available	<a href="#">XC7VX1140T-L2FL1930E-ND</a> 	<a href="#">XC7VX1140T-L2FL1930E</a>	<a href="#">Xilinx Inc</a>	IC FPGA VIRTEX-7 1.1M 1930BGA	0	<a href="#">28.458.00000</a>	12 <a href="#">Agotado</a>	<a href="#">Virtex®-7</a>	89000	1139200	69304320	1100
	 Photo Not Available	<a href="#">XC7VX1140T-L2FLG1930E-ND</a> 	<a href="#">XC7VX1140T-L2FLG1930E</a>	<a href="#">Xilinx Inc</a>	IC FPGA VIRTEX-7 1.1M 1930BGA	0	<a href="#">28.458.00000</a>	12 <a href="#">Agotado</a>	<a href="#">Virtex®-7</a>	89000	1139200	69304320	1100
	 Photo Not Available	<a href="#">XC7VX1140T-G2FL1930E-ND</a> 	<a href="#">XC7VX1140T-G2FL1930E</a>	<a href="#">Xilinx Inc</a>	IC FPGA VIRTEX-7 1.1M 1930BGA	0	<a href="#">35.571.60000</a>	12 <a href="#">Agotado</a>	<a href="#">Virtex®-7</a>	89000	1139200	69304320	1100


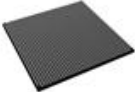






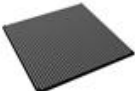


# Precios de STRATIX V

Comprar seleccionados

Comparar seleccionados

Comparar hasta 20 partes.

Página: 1 2 Siguiente

Seleccionar	Imagen	N.º de artículo de Mouser	Fabricante: N.º de artículo	Fabricante:	Descripción	 Hoja de datos	Disponibilidad	Precio: (USD)	Cantidad	RoHS	Serie	Número de bloques lógicos	Número de entradas / salidas
<input type="checkbox"/>	 Ampliar	989-5SEE9H40I3L	5SEE9H40I3L  Nueva tecnología	Altera Corporation	FPGA - Arreglo de puerta programable de campo FPGA - Stratix VE 2640 LABS 696 IOs 	Hoja de datos	No en existencias	3: \$11,109.00	<input type="text"/> <b>Comprar</b> Min.: 3 Mult.: 3	 Detalles	Stratix VE	2640	696
<input type="checkbox"/>	 Ampliar	989-5SEEBF45I3N	5SEEBF45I3N  Nueva tecnología	Altera Corporation	FPGA - Arreglo de puerta programable de campo FPGA - Stratix VE 2640 LABs 840 IOs  Más información	Hoja de datos	No en existencias	3: \$11,110.00	<input type="text"/> <b>Comprar</b> Min.: 3 Mult.: 1	 Detalles	Stratix VE	2640	840
<input type="checkbox"/>	 Ampliar	989-5SEE9H40C3N	5SEE9H40C3N  Nueva tecnología	Altera Corporation	FPGA - Arreglo de puerta programable de campo FPGA - Stratix VE 2640 LABs 696 IOs  Más información	Hoja de datos	No en existencias	3: \$8,416.00	<input type="text"/> <b>Comprar</b> Min.: 3 Mult.: 1	 Detalles	Stratix VE	2640	696

# Bibliografía:

## Apuntes de teoría:

- Trabajo Final "Introducción a los Dispositivos FPGA: Análisis y Ejemplos de Diseño ". Autor: Eduardo Bozich. Año 2005.

## Libros:

- "Sistemas Digitales". R. Tocci, N. Widmer, G. Moss. Ed. Prentice Hall.
- "FPGA for Dummies". Andrew Moore. Altera Special Edition. 2014.
- " Programmable Logic Design Quick Start Handbook ". Partnell. Xilinx. 2003.
- "Diseño Digital". M. Morris Mano. Ed. Prentice Hall. 3ra edición.
- "Diseño de Sistemas Digitales". John Vyemura. Ed. Thomson.
- "Diseño Lógico". Antonio Ruiz, Alberto Espinosa. Ed. McGraw-Hill.
- "Digital Design:Principles & Practices". John Wakerly. Ed. Prentice Hall.
- "Digital Design with CPLD Applications and VHDL". Robert Dueck. Ed. Thomson .
- "Diseño Digital". Alan Marcovitz. Ed. McGraw-Hill.
- "Electrónica Digital". James Bignell, R. Donovan. Ed. CECOSA.
- "Fundamentos de Diseño Lógico y Computadoras". M. Mano, C. Kime. Ed. Prentice Hall.
- "Notas de aplicación y hojas de datos en websites de las empresas: Altera, Xilinx Atmel, Lattice, Quicklogic, Microsemi."